

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-230400

(43)Date of publication of application : 24.08.2001

(51)Int.Cl. H01L 27/146

H04N 5/335

H04N 9/07

(21)Application number : 2000-365552 (71)Applicant : CANON INC

(22)Date of filing : 30.11.2000 (72)Inventor : YONEDA TOMOYA

KOIZUMI TORU

KOUCHI TETSUNOBU

SUGAWA SHIGETOSHI

(30)Priority

Priority number : 11346255

Priority date : 06.12.1999

Priority country : JP

(54) SOLID-STATE IMAGE SENSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce shading according to the distribution of well potential in a pixel region in an amplification type solid-state image sensor.

SOLUTION: A well contact and well wiring for applying well potential to a pixel region of an amplification type solid-state image sensor are provided in the pixel region.

* NOTICES *

JPO and INPIT are not responsible for any
damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not
reflect

the original precisely.

2. **** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]In a solid state camera of an arranged plurality and amplification type

[pixel / containing an optoelectric transducer and a transistor for amplification /

shape / of two dimensions], it consists of a semiconductor of the second

conductivity type formed in a semiconductor substrate of the first conductivity type -- common -- a well -- inside, a semiconductor light-receiving field of the first conductivity type used as each optoelectric transducer is provided -- said -- common -- a well -- inside, a semiconductor region of the first conductivity type used as a source drain of each transistor for amplification is provided -- said -- common -- contact for supplying reference voltage to a well -- said -- common -- a solid state camera characterized by plurality and being provided inside pixel arrangement area of a well.

[Claim 2]The solid state camera according to claim 1 with which said contact is characterized by plurality and provided inside said pixel arrangement area with a necessary cycle.

[Claim 3]The solid state camera according to claim 2, wherein said contact is formed for every pixel.

[Claim 4]The solid state camera according to claim 2, wherein wiring connected to said contact is arranged with a predetermined cycle in a line writing direction or a column direction of said pixel arrangement area.

[Claim 5]The solid state camera according to claim 2 with which wiring for which said contact was connected to said contact at every [of said pixel arrangement area] n line ($n \geq 1$) is characterized by being arranged at every [of said pixel arrangement area] m sequence ($m \geq 2$), respectively.

[Claim 6]The solid state camera according to claim 2, wherein wiring connected to said contact is arranged at every [of pixel arrangement area] m line ($m \geq 2$) and said contact is arranged at every [of said pixel arrangement area] n sequence ($n \geq 1$), respectively.

[Claim 7]The solid state camera according to claim 2 with which said pixel arrangement area is characterized by providing a pixel group by which a pixel was arranged with a necessary cycle in said contact between plurality and a pixel group which has and adjoins among said two or more pixel groups.

[Claim 8]The solid state camera according to claim 1, wherein wiring connected to said contact is arranged between the two control lines which control a semiconductor device in a pixel.

[Claim 9]The solid state camera according to claim 1, wherein wiring connected to said contact is arranged between the control line which controls a semiconductor device in a pixel, and said semiconductor light-receiving field.

[Claim 10]said contact -- further -- said -- common -- the solid state camera according to claim 1, wherein more than one are provided also around pixel arrangement area of a well.

[Claim 11]In a solid state camera of an arranged plurality and amplification type [pixel / containing an optoelectric transducer and a transistor for amplification / shape / of two dimensions], it consists of a semiconductor of the second

conductivity type formed in a semiconductor substrate of the first conductivity type -- common -- a well -- inside, a semiconductor light-receiving field of the first conductivity type used as each optoelectric transducer is provided -- said -- common -- contact for supplying reference voltage to a well, said -- common -- it being provided in the circumference and each pixel of pixel arrangement area of a well, and, said -- common -- a well -- a semiconductor region of the first conductivity type used as source of each transistor for amplification or a drain being provided inside, and, A solid state camera, wherein contact for power supplies for supplying power supply voltage for driving said transistor for amplification to said semiconductor region is formed for every pixel.

[Claim 12]Either said contact or said contact for power supplies The solid state camera according to claim 11, wherein it is connected to wiring arranged with a necessary cycle inside said pixel arrangement area and another side of said contact or said contact for power supplies is connected to a light-shielding film which has the sensor window formed up from said wiring.

[Claim 13]The solid state camera according to claim 12, wherein said wiring is arranged between the two control lines which control a semiconductor device in a pixel.

[Claim 14]The solid state camera according to claim 11, wherein said contact is connected to wiring for reference voltage arranged with a necessary cycle inside

said pixel arrangement area and said contact for power supplies is connected to a light-shielding film which has the sensor window formed up from said wiring for reference voltage.

[Claim 15]The solid state camera according to claim 14, wherein said wiring for reference voltage is arranged between the two control lines which control a semiconductor device in a pixel.

[Claim 16]Said pixel including a transfer gate, a transistor for reset, and a transistor for selection said two control lines, The solid state camera according to claim 13 being any two, the control line of said transfer gate, the control line of said transistor for reset, and the control line of said transistor for selection.

[Claim 17]Contact for reset with which said pixel supplies reference voltage for reset to said transistor for reset including a transistor for reset is formed for every pixel, Two of said contact, said contact for reset, or said contacts for power supplies. It is connected to cross wirings arranged in said pixel arrangement area, and Said contact, The solid state camera according to claim 11, wherein one [remaining] of said contact for reset or said contacts for power supplies is connected to a light-shielding film which has the sensor window formed up from said wiring.

[Claim 18]The solid state camera according to claim 11 which said contact for power supplies is connected to source or a drain of a transistor for selection, and

is characterized by supplying said power supply voltage to said semiconductor region via this transistor for selection.

[Claim 19] Claim 1 which said two or more pixels contain color picture elements to which a coloring layer of a light filter was attached, and is characterized by forming said well contact only about color picture elements of the same color among color picture elements of a plural color, or a solid state camera given in 11.

[Claim 20] Said two or more pixels contain color picture elements to which a coloring layer of a light filter was attached, Only by being attached to color picture elements of the same color among color picture elements of a plural color, said well contact is formed, Claim 1, wherein the acceptance surface product of color picture elements in which said well contact is not formed is larger than an acceptance surface product of color picture elements in which said well contact was formed, or a solid state camera given in 11.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the amplified type solid state camera which amplifies the signal generated by photoelectric conversion within each pixel within each pixel.

[0002]

[Description of the Prior Art] The amplified type solid state camera using a MOS transistor is circuitry as shown in drawing 22. Here, the stroke matter PXL has the photo-diode (optoelectric transducer) 101, the transfer switch 102, the reset switch (transistor for reset) 103, the selecting switch (transistor for selection) 104, and the transistor 105 for amplification. And each pixel PXL is connected to the vertical output line 106.

[0003]Such a pixel PXL is arranged in the shape of two dimensions at the same flat surface, and constitutes the pixel arrangement area PXA. In order to carry out source follower operation of MOS transistor 105, the constant current source 107 is connected to the vertical output line 106 of each sequence.

[0004]Readout circuitry is connected to the vertical output line 106 of each sequence. Readout circuitry is divided into two lines of the noise signal (henceforth N signal) read-out system containing the noise generated there and a read-out system of the signal (henceforth (S+N) signal) with which the lightwave signal and N signal were added so that it may mention later. Each read-out system has either N signal transfer switch 110, N signal storage capacitance 112 or the signal (S+N) transfer switch 111 and the signal (S+N) storage capacitance 113.

[0005]Two read-out systems are connected to the entrance cables 116 and 117 of the differential amplifier 115 via the switch 114 for horizontal scanings, respectively.

[0006]Next, the outline of operation of this device is explained with reference to the drive timing chart shown in drawing 23. High-level reset control pulse phirst [one / rst / the reset switch 103 of the pixel on a certain selected 1 horizontal line] is given. Subsequently, the reset switch 103 is turned OFF and high-level selection-control pulse phisel [one / sel / the selecting switch 104] is given. In

this way, in order to accumulate N signal outputted to the vertical output line 106 in N signal storage capacitance 112, high-level N signal transfer pulse ϕ_{1tn} [one / t_n / N signal transfer switch 110] is given.

[0007]By giving high-level transfer control pulse ϕ_{itx} for one [the transfer switch 102 of the pixel of the selected line] here. If the lightwave signal accumulated in the photo-diode 101 is inputted into the gate of the transistor 105 for amplification, the output signal according to a lightwave signal will come to be acquired from the source of the transistor for amplification. If it becomes like this, even if transfer control pulse ϕ_{itx} is made into a low level and it turns OFF the transfer switch 102, the gate potential of the transistor for amplification will be held at the value based on a lightwave signal.

[0008]In order to accumulate the signal (S+N) outputted to the vertical output line 106 in the signal (S+N) storage capacitance 113 in this state, high-level (S+N) signal transfer pulse ϕ_{its} [one / t_s / the signal (S+N) transfer switch 111] is given. And the selecting switch 104 is turned off and read-out of the signal from each pixel of the selected line is completed.

[0009]The kTC noise at the time of reset and the fixed pattern noise by the threshold variation of a MOS transistor are contained in N signal held at N signal storage capacitance 112. The signal by a photoelectrical load is added to the reset signal which contained the above-mentioned noise in the signal held at

signal (S+N) storage capacitance (S+N).

[0010]By thus, the thing [one / a thing / the switch 114] by the horizontal scanning circuit after each switch was controlled by timing of drawing 23 and the signal of the pixel on 1 horizontal line was held at said two storage capacitance of each sequence. N signal and (S+N) a signal are read to each entrance cable of the differential amplifier 115. At this time, from the differential amplifier 115, said noise contained in each signal is removed, and the signal only according to the signal by a photoelectrical load is outputted as a sensor output.

[0011]In short, by a horizontal scanning circuit, by one [the switch] and turning off the switch 114 of each sequence one by one, the signal of the pixel on 1 horizontal line is outputted from a differential amplifier, and it goes. In order to perform this for every horizontal line, whenever a pixel row is chosen by the vertical scanning circuit, procedure of controlling each switch, boiling a horizontal scanning circuit and scanning it sequentially more by the timing of drawing 23 is repeated. In this way, the signal from all the pixels can be outputted from the differential amplifier 115.

[0012]

[Problem(s) to be Solved by the Invention]In the conventional solid state camera, big shading comes to appear in an output signal as a pixel number increases.

[0013]

[Means for Solving the Problem]The purpose of this invention is to provide a solid state camera which can control shading. In a solid state camera of an arranged plurality and amplification type [pixel / in which a main point of this invention for attaining this purpose contains an optoelectric transducer and a transistor for amplification / shape / of two dimensions], it consists of a semiconductor of the second conductivity type formed in a semiconductor substrate of the first conductivity type -- common -- a well -- inside, a semiconductor light-receiving field of the first conductivity type used as each optoelectric transducer is provided -- said -- common -- a well -- inside, a semiconductor region of the first conductivity type used as a source drain of each transistor for amplification is provided -- said -- common -- contact for supplying reference voltage to a well -- said -- common -- it is characterized by plurality and provided inside pixel arrangement area of a well.

[0014]There is another purpose of this invention in providing a solid state camera of a refined layout while being able to control shading. In a solid state camera of an arranged plurality and amplification type [pixel / in which a main point of this invention for this contains an optoelectric transducer and a transistor for amplification / shape / of two dimensions], the second conductivity type in a semiconductor substrate of the first conductivity type is common -- a well -- a semiconductor light-receiving field of the first conductivity type used as each

optoelectric transducer being provided inside, and, said -- common -- contact for supplying reference voltage to a well -- said -- common -- it being provided in the circumference and each pixel of pixel arrangement area of a well, and, said -- common -- a well -- inside, a semiconductor region of the first conductivity type used as source of each transistor for amplification or a drain is provided, and contact for power supplies for supplying power supply voltage for driving said transistor for amplification to said semiconductor region is formed for every pixel

[0015]this invention person did sincerity examination about a cause by which shading increases, when a pixel number increased. For example, when MOS transistor 105 in drawing 22 is NMOS in a n type substrate formed inside p wells, the section structure can be made composition shown in drawing 24. In this case, source and a drain are n+. It is formed in a field, as for a drain, source is connected to a vertical output line to the selecting-switch side, and potential of a p type well is given out of pixel arrangement area.

[0016]In timing of drawing 23, when an outputting N signal to a vertical output line, potential of n+ field of source of MOS transistor 105 in drawing 24 is changed. [the selecting switch 104] Then, in connection with it, potential of p wells near the n+ diffusion region of source will also be changed with a junction capacitance of n+ field of source, and p wells. Since p well potential of each pixel is the backgate potential of a MOS transistor of each pixel, change of well

potential will affect an output of a MOS transistor.

[0017](a) of drawing 25 asks for well potential before and after receiving the above-mentioned change in a position (see the (b) of drawing 25) of 3 in a picture element region of 2 million pixel numbers, A, B, and C. Here, a vertical axis is well potential, a horizontal axis is time, and when one [the selecting switch 104], after well potential's rising and having a peak, signs that it converges and goes are shown.

[0018]The amount of change of well potential becomes so large that it tends toward a center in a picture element region (C->A). A damping time constant becomes large and is about 15 microseconds in A, so that it tends toward a center in a picture element region also about the transient characteristic of well potential (C->A). That is, when the one [N signal transfer switch 110] before potential of a well returns after one [the selecting switch 104], every pixel gate voltage of a MOS transistor, In spite of being the same reset voltage, a signal of a different level will be held by the position of a pixel at each N signal storage capacitance 112.

[0019]In subsequent timing, also when one [the signal (S+N) transfer switch 111], a signal according to well potential of the position will be held by a pixel at the signal (S+N) storage capacitance 113. Since the same pixel also changes well potential depending on time after one [N signal transfer switch] (S+N) until

one [the signal transfer switch 111], in imaging operation, it is the cause of shading.

[0020]A sensor output at the time of Dark from a pixel on 1 horizontal line which passes along a center in pixel arrangement area is shown in drawing 26. A vertical axis supports a position of a pixel with a horizontal horizontal axis at an output level. After one [this / a selecting switch], it is a case where time for 10 microseconds is taken by the time it turned off a signal (S+N) transfer switch, but no less than 76 mV shading has occurred.

[0021]Drawing 27 shows the pixel arrangement area area dependency of a damping time constant. An area of 1 pixel is set constant, a horizontal pixel number corresponding to size of pixel arrangement area is shown on a horizontal axis, and a damping time constant of well potential in a center position of pixel arrangement area is shown on a vertical axis. When reading a signal from a pixel of 1 horizontal line, after one [a selecting switch], time until it turns off a signal (S+N) transfer switch cannot be indefinitely lengthened on a relation of imaging time of a picture of a solid state camera.

[0022]Then, to about 800, when this time is set to 10 or less microseconds, if it is a horizontal pixel number, if it is a damping time constant and is a range by 2 microseconds, shading will not pose a problem. However, a pixel number will cause 78-mV shading as mentioned above with a solid state camera of a large

area which can be 2000, for example.

[0023]in order that this invention person may strengthen potential of a well -- simple -- a well -- only by making concentration deep, Even if it sets sheet resistance of a well to $1/5$, a horizontal pixel number is to about 2000, and that shading does not happen has already found out that normal operation of each elements, such as not only not becoming essential business solution but a MOS transistor, cannot be performed.

[0024]Then, in order to control change of potential of a well, and heterogeneity for every pixel of well potential in this invention, newly common in well contact for giving potential of a well -- it is the inside [rim / of a well] and the amount of change of well potential accompanying change of source potential of a MOS transistor within each pixel is controlled by having more than one inside pixel arrangement area. And since after change converges well potential in short time and its a transient characteristic improves, it becomes possible to control distribution of well potential in a picture element region, and shading can be reduced by extension.

[0025]

[Embodiment of the Invention](A 1st embodiment) Drawing 1 is a top view showing typically the solid state camera by a 1st embodiment concerning this invention. Here, although only the three pixels PXL arranged in it are illustrated

in the pixel arrangement area PXA, these pixels PXL are actually allotted to matrix form 1 million to about 10 million. Drawing 2 shows the section by AA' of drawing 1. drawing 2 -- a well -- various wiring layers, each transistor, etc. of wiring which exist caudad are omitted.

[0026]Here, 1 is a photo-diode as an optoelectric transducer, and is a semiconductor light-receiving field of the N type which constitutes a photo-diode in detail. 2 is a doped region (P+ field) of high impurity concentration from a well in the well and the conductivity type of P type. 3 is well contact and consists of a conductor which contacts the doped region 2 directly or indirectly.

[0027]all the pixels PXL are single -- common -- it is arranged in two dimensions inside the division PXA inside the rim of the well 4, i.e., pixel arrangement area. the well in which 5 served as the light-shielding film -- it is wiring and consists of a conductor in which the sensor window OP for irradiating the photo-diode 1 was formed. this well -- the wiring 5 is connected to the well contact 3, and predetermined reference voltage (for example, 0V) is given from the reference voltage source Vw.

[0028]Although contact is constituted from drawing 2 by the wiring layer allotted between the insulating layer 10 and the insulating layer 11, the conductive plug in the through hole in the upper part of a wiring layer, and the conductive plug in the contact hole under a wiring layer, this invention is not necessarily limited to

this structure.

[0029]the top conductive layer that formed the well contact 3 and served as the light-shielding film by 1 to 1 to each pixel about all the pixels here -- a well -- it is characterized by the composition considered as the wiring 5. And doped region 2' and contact 3' are provided also on the outskirts PP of the pixel arrangement area PXA. that is, it is in the outside of the rim of the pixel arrangement area PXA -- common -- providing doped region 2' in the well 4, and providing contact 3' on it -- a well -- it connects with the wiring 5 and predetermined reference voltage is given -- good -- it is obtaining. drawing 1 and 2 -- a well -- various wiring layers, each transistor, etc. of the wiring 5 which exist caudad are omitted.

[0030]The section structure is indicated to be a 1-pixel circuit diagram used for this invention to drawing 3 and drawing 4. Here, PXL is provided with 1 pixel of followings.

Photo-diode 101.

Transfer switch 102.

The transistor 105 for amplification.

The transistor 104 for selection, and the transistor 103 for reset.

While 12 is an isolation region which consists of insulators (dielectric) and surrounding the 1-pixel circumference, an isolation region, It is formed also between the zone containing the photo-diode 101, the transfer switch 102, and

the transistor 103 for reset, and the zone containing the transistor 104 for selection, and the transistor 105 for amplification, and on the outskirts of the doped region 2.

[0031]the P type with which the cathode of the photo-diode 101 and the semiconductor regions 1, 13-17 of the N type used as the source drain of each transistor (semiconductor device) were formed in the surface of an N type board is common -- it is formed in the well 4. P type is common -- the doped layer 2 of P+ and the contact 3 are formed in the well 4, and the anode voltage of a photo-diode and the back gate voltage (channel voltage) of each transistor are given to it from the reference voltage source V_w .

[0032]And transfer control signal ϕ_{itx} is impressed to the transfer gate control line which controls a transfer gate, If a gate is opened, the career (electron) accumulated in the semiconductor light-receiving field 1 of the photo-diode 101 will be transmitted to the semiconductor region 13 in a floating state, and will change the potential of the gate of the transistor 105 for amplification. One [selection control signal ϕ_{isel} is impressed to a selecting-switch line, and / the transistor 104 for selection]. If it does so, the current according to the gate voltage of the transistor 105 for amplification flows into the transistor 105 for amplification, and the transistor 104 for selection, and an output signal can take out from the output line V_{out} .

[0033]Reset control signal phirst is impressed to the reset control line, and the potential of the semiconductor region 13 is reset to a predetermined value using reset voltage Vrst. [the transistor 103 for reset] common during such a series of operation periods -- it lets the contact 3 and the doped region 2 pass to the well 4, and reference voltage is given to it. By this composition, the variation for every pixel of well potential (backgate potential of each transistor) is reduced, and shading can be 0.5 mV or less.

[0034]common to this embodiment described above -- although the conductivity type of the well was P type, it can also be made contrary (to N, it is P about N in P) to the thing illustrating the conductivity type of each semiconductor region. In that case, the height relation of potential also becomes reverse. for example, N type -- in using a well, the reference voltage given to a well is set to +5.0V or +3.3V.

[0035]The circuit structure of a pixel does not need to be shown in drawing 3, and the transfer switch 102 is as possible as the straw matting to exclude. Reset voltage Vrst and power supply voltage VDD may be made into the same voltage.

[0036](A 2nd embodiment) Drawing 5 is a top view showing a 2nd embodiment in this invention typically. Here, drawing 6 shows the section by the BB' line. the point that this embodiment differs from drawing 1 and the embodiment of 2 -- a well -- it is the shape of the wiring 6.

[0037]using the conductive layer of the lower part of a light-shielding film here -- a well -- the wiring 6 is constituted. the vertical output line 7 for outputting a signal from the transistor 105 for amplification using the conductive layer of the same level -- a well -- each is arranged by turns in parallel with the wiring 6.

[0038]and the circumference PP of the pixel arrangement area PXA -- a well -- the wiring 6, well contact 3', and doped region 2' are formed -- a well -- it is constituted so that predetermined reference voltage may be given from the reference voltage source Vw through the wiring 6.

[0039]Also in this embodiment, shading can be 0.5 mV or less. the well to which potential was fixed between the vertical output lines 7 of a contiguity sequence -- since the wiring 6 is arranged, interference by the capacitive coupling between contiguity perpendicular lines is controlled.

[0040](A 3rd embodiment) Drawing 7 is a top view showing a 3rd embodiment in this invention typically. the point that this embodiment differs from drawing 5 and the embodiment of 6 -- a well -- it is a layout of the wiring 6.

[0041]using the conductive layer of the lower part of a light-shielding film here -- a line writing direction (the inside of a figure, transverse direction) -- a well -- it is constituted so that the wiring 6 may be prolonged. the control line 8 for controlling the semiconductor device of a pixel using the conductive layer of the same level -- a well -- moreover, each is arranged by turns in parallel with the

wiring 6. As the control line 8, the transfer control line for transfer switches, the reset control line for reset transistors, the selection-control line of the transistor for selection, etc. are mentioned.

[0042]and the circumference PP of the pixel arrangement area PXA -- the doped region 2 -- 'the well contact 3' is formed -- a well -- it is constituted so that predetermined reference voltage may be given from a reference voltage source through the wiring 6.

[0043]forming well contact about the circumference and all the pixels of pixel arrangement area in this embodiment, respectively -- all the lines of pixel arrangement -- a well -- wiring is provided. Thereby, the variation in distribution of well potential is reduced and shading is possible for 0.5 mV or less.

[0044](A 4th embodiment) Drawing 8 is a top view showing a 4th embodiment in this invention typically. Drawing 9 shows the section by CC' line of drawing 8. here, a doped region arranges a photo-diode and 2, well contact was arranged 3, and, as for the numerals 1, the pixel was arranged in two dimensions 4 -- single -- common -- a well and 6 -- a well -- it is wiring.

[0045]being cyclic patterns, dividing the pixel PXL into the block BK in every 200 rows in this embodiment, for example, and leaving the space for well contact between blocks -- each space -- two or more well contacts and a well -- it is characterized by providing wiring. Even when there is no space which forms well

contact in each pixel with reduction of pixel size by this, distribution of well potential can be reduced. surrounding well contact 2' of the pixel arrangement area PXA -- a well -- providing on the up-and-down extension wire of the wiring 6 **** -- the circumference of pixel arrangement area on either side -- a well -- it can provide like the wiring 6.

[0046]According to this embodiment, shading is possible for 0.5 mV or less. Since the width of the space in every 200 rows was 1/4 or less [of pixel size], as long as it views, the influence on a picture is a grade which cannot be checked and can hold a picture good also as the whole.

[0047](A 5th embodiment) Drawing 10 is a top view showing a 5th embodiment in this invention typically. here, a doped region arranges a photo-diode and 2, well contact was arranged 3, and, as for the numerals 1, the pixel was arranged in two dimensions 4 -- single -- common -- a well and 6 -- a well -- it is wiring.

[0048]the pixel row which should be arranged among the pixels arranged with cyclic patterns in this embodiment at that 201st row and 402nd row -- well contact and a well -- it is characterized by providing wiring. That is, only a doped region and well contact are formed in the pixel of these pixel rows, without forming a photo-diode, a semiconductor device, etc. Or the size of a photo-diode or a semiconductor device may be made smaller than that of other pixels, and a doped region may be established in the vacant space.

[0049]The variation in distribution of well potential can be reduced without disturbing the pitch of a pixel in a picture element region, even when there is no space which forms well contact in each pixel with reduction of pixel size by this. In this way, shading is possible for 0.5 mV or less.

[0050]When well contact was formed, since the pixel signal of an one-row all line is not acquired, one line crack is made every 200 rows, but. Since the position understands this beforehand at the time of a design, it is a computer after incorporating a sensor signal, and it processes in soft, and it is the treatment of interpolating with the output of an average of the pixel of both the sides, and a good picture is acquired. This interpolation method is not restricted above, may be equalized in circuit, and may be solved by performing processings other than equalization.

[0051](A 6th embodiment) Drawing 11 is a top view showing a 6th embodiment in this invention typically. here, a doped region arranges a photo-diode and 2, well contact was arranged 3, and, as for the numerals 1, the pixel was arranged in two dimensions 4 -- single -- a well -- inner pixel arrangement area and 6 -- a well -- it is wiring.

[0052]in this embodiment, they are cyclic patterns about pixel arrangement -- for example -- that every 200 lines -- a well -- the wiring 6 was formed and the well contact 3 is formed every 200 rows of that line. Since the pixel which formed the

well contact 3 needs the space for well contact, it makes area of the photo-diode 1 in the pixel concerned smaller than the area of the photo-diode of a pixel without well contact.

[0053]Distribution of well potential can be controlled without disturbing the pitch of a pixel in a picture element region, even when this cannot leave easily the space which forms well contact in each pixel with reduction of pixel size. In this way, shading is possible for 0.5 mV or less.

[0054]Although sensitivity fell a little about the pixel which reduced the area of the photo-diode, Since the position of the pixel is beforehand known at the time of a design, it processes in soft by computer after incorporation of a sensor signal, and a good picture is acquired about the pixel by the treatment which applies to which and amends a gain.

[0055](A 7th embodiment) Drawing 12 is a top view showing a 7th embodiment in this invention typically. here, a doped region arranges a photo-diode and 2, well contact was arranged 3, and, as for the numerals 1, the pixel was arranged in two dimensions 4 -- single -- common -- a well and 6 -- a well -- it is wiring.

[0056]in this embodiment, they are cyclic patterns about pixel arrangement -- for example -- that every 200 rows -- a well -- the wiring 6, [provide and] The space for well contact is left by shifting radiately the element in the pixel which formed the well contact 3 every 200 lines of the sequence, and formed well contact, and

the 9-pixel pixel of the neighborhood in the direction which separates from well contact, and arranging it in it. The variation in distribution of well potential can be controlled without causing the fall of the sensitivity of the pixel concerned, etc., since it is not necessary to reduce by this the area of the photo-diode of the pixel which formed well contact. In this way, shading is possible for 0.5 mV or less.

[0057](An 8th embodiment) Drawing 13 is a top view showing an 8th embodiment in this invention typically. here, a doped region arranges a photo-diode and 2, well contact was arranged 3, and, as for the numerals 1, the pixel was arranged in two dimensions 4 -- single -- common -- a well and 6 -- a well -- wiring, and 8 and 9 are the control lines for controlling the semiconductor device in a pixel.

[0058]this embodiment -- all the pixels -- well contact and all the lines -- a well -- forming the wiring 6 -- a well -- the wiring 6 is arranged among the control lines 8 and 9. Thereby, the variation in distribution of well potential is controlled and shading is possible for 0.5 mV or less. between the two approaching control lines 8 and 9 -- a well -- as an effect which has arranged the wiring 6, the influence by the clock noise of the control lines of a transfer switch opening is lost, for example because a clock noise rides on the control line of a transfer switch.

[0059]As the control lines 8 and 9, two sorts chosen from the transfer control line

for transfer switches, the reset control line for reset transistors, and the selection-control line of the transistor for selection can be used. moreover -- changing this embodiment and forming well contact only in the specified pixel allotted to two dimensions with the predetermined cycle which set two or more pixels in between instead of all the pixels -- a well -- it may connect with the wiring 6.

[0060](A 9th embodiment) Drawing 14 is a top view showing a 9th embodiment in this invention typically. here, a doped region arranges a photo-diode and 2, well contact was arranged 3, and, as for the numerals 1, the pixel was arranged in two dimensions 4 -- single -- common -- a well and 6 -- a well -- wiring, and 8 and 9 are the control lines for controlling the element in a pixel.

[0061]this embodiment -- all the pixels -- well contact and all the lines -- a well -- providing wiring -- a well -- the wiring 6 is arranged between the photo-diode 1 and the control line 8. Thereby, the variation in distribution of well potential can be controlled and shading is possible for 0.5 mV or less.

[0062]Two further effects in this embodiment are shown. (a) of drawing 15 and (b) show the partial section of the solid state camera of this embodiment, respectively. Here, when a substrate is a solid state camera of a hole storage type [well / a p type and / photo-diode / a n type and], the control line has illustrated the structure which adjoined the photo-diode. As the control lines 8

and 9, two sorts chosen from the transfer control line for transfer switches, the reset control line for reset transistors, and the selection-control line of the transistor for selection can be used.

[0063](a) of this drawing 15 is a figure in case the control line is 5V, and when the potential near [in a photo-diode] the control line becomes low, it shows signs that holes gather. On the contrary, (b) of drawing 15 is a figure in case the control line is 0V, and when the potential near [in a photo-diode] the control line becomes high, it shows signs that a hole escapes and goes. That is, since the hole in a photo-diode will be shaken whenever a clock goes into the control line, the transmission remainder etc. will occur depending on the timing of the clock of the timing-and-control line of transmission by a transfer switch, and a noise will be generated.

[0064]however, the wiring which adjoins a photo-diode in this embodiment -- a well -- the stored charge in a photo-diode shakes by having used wiring and having fixed to well potential -- having -- the above-mentioned noise to produce can be controlled. When wiring contiguous to a photo-diode is 0V, a depletion layer spreads in accordance with the side attachment wall of a photo-diode and LOCOS, and the touch area of LOCOS and a depletion layer becomes large. for this reason, the wiring which adjoins a photo-diode with the defect of a LOCOS side attachment wall although dark current was increasing -- a well -- wiring is

used and it decreases dark current by stopping the breadth of said depletion layer by having used well potential. in addition -- forming well contact only in all the pixels or the specified pixel allotted to two dimensions with the predetermined cycle which set two or more pixels in between in this embodiment -- a well -- it connects with the wiring 6.

[0065](A 10th embodiment) Drawing 16 is a top view showing a 10th embodiment in this invention typically. Here, as for the numerals 1, a doped region and 3 are well contacts and a photo-diode and 2 are illustrating 4x4 pixels. the doped region 2 is common -- a well -- it is formed inside. a well -- the control line for controlling wiring and an element is omitted. AMP shows the semiconductor device containing the transistor for amplification. The sequence which consists of the 1 type pixel PXL1 in which the doped region 2 and the well contact 3 were formed here, The sequence and ** which consist of the 2 type pixel PXL2 in which the doped region 2 and the well contact 3 are not formed are arranged by turns, and each output line 7 is connected to upper signal readout circuitry or downward signal readout circuitry among the figure.

[0066]the part in which, as for the 2 type pixel PXL2, the doped region 2 and the well contact 3 do not exist -- common -- the area (acceptance surface product) of the semiconductor light-receiving field 1 which collaborates with a well and serves as a photo-diode is a large area from that of the 1 type pixel PXL1. Since

the sizes of a photo-diode differ, the sensitivity to incident light differs. Then, it is good to coincide the output level in two output terminals when the gain in each readout circuitry is adjusted and the light of the same light volume enters. In this example, although well contact was formed at intervals of the single tier, well contact may be formed at intervals of three rows or four rows or more. signal readout circuitry -- three -- or four or more may be provided. It is good to form well contact also around pixel arrangement area.

[0067](An 11th embodiment) Drawing 17 is a circuitry figure of the solid state camera by an 11th embodiment in this invention. The stroke matter PXL contains the photo-diode 101, the transfer switch 102, the transistor 103 for reset, the transistor 104 for selection, and the transistor 105 for amplification.

[0068]each pixel PXL -- a lateral well -- the well contact 3 connected to the wiring 6 is formed. The power contact 28 which supplies power supply voltage to the transistor 105 for amplification is also formed in each pixel PXL. Many above-mentioned pixels PXL are allotted by two-dimensional matrix form inside the pixel arrangement area PXA. the well which doped region 2' is provided on the outskirts PP of the pixel arrangement area PXA so that pixel arrangement area may be surrounded, and was formed via well contact on it -- the wiring 6 is arranged.

[0069]The drive method of this solid state camera is the same as that of drawing

22 and the device shown in 23. And the outline of the circuit arrangement (layout) of this solid state camera is shown in drawing 18. The composition corresponding to a section [in / for the composition corresponding to the section in DD' line of drawing 18 / to drawing 19 / EE' line of drawing 18] is shown in drawing 20.

[0070]When the stroke matter PXL is superficially seen with reference to drawing 18, mainly, The photo-diode 1 and the portion (1, 13, 14, 26, 27) by which the transfer switch 102 and the transistor 103 for reset have been arranged, It consists of a portion (15, 17, 18, 19) by which the transistor 104 for selection and the transistor 105 for amplification have been arranged, and the doped region 2 is arranged among those portions. And the portion by which the transistor 104 for selection and the transistor 105 for amplification have been arranged is arranged between the 2-pixel photo-diodes of contiguity descending. the output signal line 7 and the reset voltage wire 23 which gives reset voltage Vrst are formed as wiring prolonged in a column direction -- the transfer control line 8 and a well -- the wiring 6, the reset control line 9, and the selection-control line 20 are formed as wiring prolonged in a line writing direction.

[0071]With reference to drawing 19 and 20, it explains in more detail about the structure of a pixel. common in the field surrounded in the isolation region 12, as shown in drawing 20 -- the semiconductor light-receiving field 1 which

collaborates with the well 4 and serves as a photo-diode, the semiconductor region 13 in a floating state, and the semiconductor region 14 where reset voltage is given set a predetermined interval, and are formed. The transfer gate 26 via the hole internal plug formed in the 1st insulating layer 10, It is connected to the transfer control line 8 on the 2nd insulating layer 11 which consists of the 2nd metal layer via the plug in the hole respectively formed in the 1st metal layer between the 1st insulating layer 10 and the 2nd insulating layer 11, and the 2nd insulating layer 11.

[0072]The reset gate 27 via the plug in the hole similarly formed in the 1st metal layer between the hole internal plug and the 1st insulating layer 10 which were formed in the 1st insulating layer 10, and the 2nd insulating layer 11, and the 2nd insulating layer 11, It is connected to the reset control line 9 which consists of the 2nd metal layer on the 2nd insulating layer 11. The semiconductor region 14 is connected to the reset voltage wire 23 which consists of the 1st metal layer on the 1st insulating layer 11 via the contact hole internal plug formed in the 1st insulating layer 10. The 3rd insulating layer 22 is formed on the 2nd metal layer, and the light-shielding film 5 which consists of the 3rd metal layer that has the sensor window OP is formed on it.

[0073]As shown in drawing 19, in the field surrounded in the isolation region 12, the semiconductor regions 15, 16, and 17 used as the source drain of the doped

region 2, the transistor for amplification, and the transistor for selection are formed. In this gestalt, the isolation region 12 is formed also between the doped region 2 and the semiconductor region 15. The 1st metal layer between the hole internal plug and the 1st insulating layer 10 by which the doped region 2 was formed in the 1st insulating layer 10, and the 2nd insulating layer 11, the well which consists of the 2nd metal layer that is connected to the well contact 3 which consists of a plug in the hole formed in the 2nd insulating layer 11, and has this well contact on the 2nd insulating layer 11 -- it is connected to the wiring 6. The semiconductor region 15 is connected to the output line 7 which consists of the 1st metal layer via the hole internal plug formed in the 1st insulating layer 10.

[0074]The gate electrode 18 of the transistor for amplification is connected to the semiconductor region 13 of a floating state via the hole internal plug formed in the 1st insulating layer 10, and the wiring 21 which consists of the 1st metal layer. The gate electrode 19 of the transistor for selection is connected to the selection-control line 20 via the plug in the hole formed in the 1st metal layer between the hole internal plug and the 1st insulating layer 10 which were formed in the 1st insulating layer 10, and the 2nd insulating layer 11, and the 2nd insulating layer 11.

[0075]The hole internal plug by which the semiconductor region 17 of the

transistor for selection was formed in the 1st insulating layer 10, The plug in the hole formed in the 1st metal layer between the insulating layers 10 and 11, and the 2nd insulating layer 11, It is connected to the light shielding layer 5 which consists of the 3rd metal layer that is connected to the power contact 28 which consists of a hole internal plug formed in the 2nd metal layer on the insulating layer 11, and the 3rd insulating layer 22, and has this power contact 28 on the 3rd insulating layer 22. And this light-shielding film 5 is connected to the power supply voltage source VDD, and power supply voltage is given to the semiconductor region 17.

[0076]here, the substrate 24 and each field 1, and the semiconductor that constitutes 13-17 are N type or P type, and is common -- these of the semiconductor which constitutes the well 4 and the doped region 2 are reverse conductivity types. It is also preferred to make each fields 13-17 into LDD structure including the field where impurity concentration is low. Metal silicide, such as cobalt silicide, may be formed in the surface of each gate electrodes 18, 19, 26, and 27, or each field 2 and the surface of 13-17.

[0077]The hole internal plug which constitutes the well contact 3 and the power contact 28 could be formed from metal (alloy), such as tungsten, aluminum, aluminum copper, and copper, and also barrier metals, such as titanium nitride, could be formed in the field or the side of the upper and lower sides of a plug.

each control line, a voltage wire, and a well -- the 1st thru/or 3 metal layers used as wiring and a light shielding layer could also be formed from metal (alloy), such as aluminum, aluminum copper, and copper, and also barrier metals, such as titanium nitride, could be formed in the up-and-down field or side of those layers.

[0078](A 12th embodiment) Drawing 21 is a plan of the solid state camera by a 12th embodiment in this invention. Here, although 2x2 pixels is taken up and illustrated, these 4 pixels are actually arranged in the shape of two dimensions repeatedly. In the color solid state camera which can acquire two or more chrominance signals, the feature of this embodiment is at the point of having formed well contact only in color picture elements with most pixel numbers, like the solid state camera which has a primary color light filter, or the solid state camera which has a complementary color light filter.

[0079]They are G pixel to which the coloring layer of green (G) of the light filter was allotted 31, B pixel to which the coloring layer of blue (B) of the light filter was allotted 32, and R pixel to which the coloring layer of the red (R) of a light filter was allotted 33. A coloring layer is provided via a direct or transparent layer on the sensor window of a light-shielding film. Here, the doped region 2 and the well contact 3 are arranged only at the G pixel 31 in the diagonal line of 2x2 pixel arrangement. In the B pixel 32 and the R pixel 33, a doped region and well contact are not formed, but enlarge the acceptance surface product of the

semiconductor light-receiving field 1 of a photo-diode compared with G pixel, and are raising sensitivity. Although the acceptance surface product of per stroke matter has small G pixel compared with the pixel of other colors, the number of G pixels is arranged so that it may become twice [of other colors / about] a pixel. In the pixel of the same color, since all the light sensing portion area of per stroke matter is the same, if each color signal level is adjusted, in image processing, control of a white balance etc. is easy. The output signal of each chrominance signal is distributed up and down by turns for every sequence like drawing 16, may be outputted and may be outputted only up (or lower part) like drawing 17.

[0080](A 13th embodiment) This embodiment carries and constitutes the light filter which has an arrangement pattern of a coloring layer as shown in drawing 21 on drawing 17 and the light-shielding film of the solid state camera of composition as shown in 18, 19, and 20. The well contact 2 is formed in all the pixels as shown in drawing 18. Whether it differs for every color even if the same in all the pixels, or the acceptance surface product of each pixel has become like drawing 21, neither is available for it. What is necessary is just to choose in consideration of each feature. An acceptance surface product can be decided in the area of the sensor window of a light-shielding film.

[0081]In the pixel in the position near the circumference PP of pixel arrangement

area, a play can also be given as what is called a light shielding picture element (optical black), without providing a sensor window in a light-shielding film. The reference level at the time of dark can be arranged between color picture elements and a light shielding picture element by forming well contact like color picture elements also in this case.

[0082](A 14th embodiment) In a color solid state camera, well contact may be formed only in R pixel or B pixel.

[0083]

[Effect of the Invention]As explained above, according to this invention, by forming two or more well contacts in the inside of pixel arrangement area, distribution of well potential can be controlled and shading can be reduced.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is a schematic plan view of the solid state camera by a 1st embodiment of this invention.

[Drawing 2] It is a typical sectional view by the AA' line of drawing 1.

[Drawing 3] It is a circuitry figure of the stroke matter of the solid state camera used for this invention.

[Drawing 4] It is a typical sectional view of the stroke matter of the solid state camera used for this invention.

[Drawing 5] It is a schematic plan view of the solid state camera by a 2nd embodiment of this invention.

[Drawing 6] It is a typical sectional view by BB' line of drawing 5.

[Drawing 7] It is a schematic plan view of the solid state camera by a 3rd embodiment of this invention.

[Drawing 8] It is a schematic plan view of the solid state camera by a 4th

embodiment of this invention.

[Drawing 9]It is a typical sectional view by CC' line of drawing 8.

[Drawing 10]It is a schematic plan view of the solid state camera by a 5th embodiment of this invention.

[Drawing 11]It is a schematic plan view of the solid state camera by a 6th embodiment of this invention.

[Drawing 12]It is a schematic plan view of the solid state camera by a 7th embodiment of this invention.

[Drawing 13]It is a schematic plan view of the solid state camera by an 8th embodiment of this invention.

[Drawing 14]It is a schematic plan view of the solid state camera by a 9th embodiment of this invention.

[Drawing 15]It is a typical sectional view for explaining operation of the solid state camera by a 9th embodiment.

[Drawing 16]It is a schematic plan view of the solid state camera by a 10th embodiment of this invention.

[Drawing 17]It is a circuitry figure of the solid state camera by an 11th embodiment of this invention.

[Drawing 18]It is a circuit arrangement figure of the solid state camera by an 11th embodiment.

[Drawing 19]It is a typical sectional view by DD' line of drawing 17.

[Drawing 20]It is a typical sectional view by EE' line of drawing 17.

[Drawing 21]It is a typical plan of the solid state camera by a 12th embodiment of this invention.

[Drawing 22]It is a circuitry figure of the conventional solid state camera.

[Drawing 23]The former is the same and it is a typical sectional view showing an important section.

[Drawing 24]It is a timing chart for explaining operation of the conventional solid state camera.

[Drawing 25]It is a graph which shows change of the well potential of a solid state camera.

[Drawing 26]It is a graph for explaining shading.

[Drawing 27]It is a graph for explaining change of a damping time constant.

[Description of Notations]

1 Photo-diode (semiconductor region)

2 and 2' doped region

3 and 3' well contact

4 common -- a well

5 and 6 -- a well -- wiring

5' light-shielding film

7 Vertical output line

8 and 9 Control line

10 Insulating layer

11 Insulating layer

12 Isolation region

13-17 Semiconductor region

18, 19 gate electrodes

20 Selection-control line

21 Wiring

22 Insulating layer

23 Reset voltage wire

24 Substrate

26 Transfer gate (gate electrode)

27 Reset gate (gate electrode)

28 Power contact

31 G pixel

32 B pixel

33 R pixel

101 Photo-diode

102 Transfer switch

103 The transistor for reset

104 The transistor for selection

105 The transistor for amplification

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-230400

(P2001-230400A)

(43)公開日 平成13年8月24日(2001.8.24)

(51) Int.Cl.⁷

識別記号

FI

テーマト* (参考)

H0 1 L 27/146

H 0 4 N 5/335

E

H O 4 N 5/335

U

9/07

A

9/07

H01L 27/14

A

審査請求 有 請求項の数20 O.L (全 16 頁)

(21)出願番号 特願2000-365552(P2000-365552)

(22)出願日 平成12年11月30日(2000. 11. 30)

(31)優先権主張番号 特願平11-346255

(32)優先日 平成11年12月6日(1999.12.6)

(33)優先権主張国 日本 (J P)

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 米田 智也

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72) 発明者 小泉 徹

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74)代理人 100065385

弁理士 山下 穰平

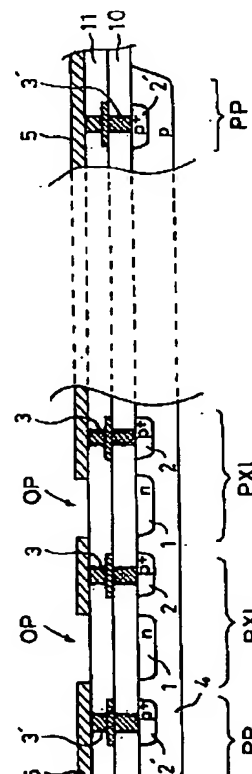
[最終頁に続く](#)

(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【課題】 増幅型固体撮像装置において、画素領域のウェル電位の分布によるシェーディングを低減する。

【解決手段】 増幅型固体撮像装置の画素領域のウエル電位を与えるためのウエルコンタクトおよびウエル配線を画素領域内に設ける。



【特許請求の範囲】

【請求項1】 光電変換素子と増幅用トランジスタとを含む画素が2次元状に複数、配列された増幅型の固体撮像装置において、

第一導電型の半導体基板内に形成された第二導電型の半導体からなる共通ウエル内に、各光電変換素子となる第一導電型の半導体受光領域が設けられ、

前記共通ウエル内に、各増幅用トランジスタのソース・ドレインとなる第一導電型の半導体領域が設けられ、前記共通ウエルに基準電圧を供給するためのコンタクトが、前記共通ウエルの画素配列エリアの内側に複数、設けられていることを特徴とする固体撮像装置。

【請求項2】 前記コンタクトは、所要の周期で前記画素配列エリアの内側に複数、設けられていることを特徴とする、請求項1に記載の固体撮像装置。

【請求項3】 前記コンタクトが各画素毎に設けられていることを特徴とする、請求項2に記載の固体撮像装置。

【請求項4】 前記コンタクトに接続された配線が、前記画素配列エリアの行方向または列方向に所定の周期で配置されていることを特徴とする、請求項2に記載の固体撮像装置。

【請求項5】 前記コンタクトが前記画素配列エリアの n 行($n \geq 1$)ごとに、前記コンタクトに接続された配線が前記画素配列エリアの m 列($m \geq 2$)ごとに、それぞれ配置されていることを特徴とする、請求項2に記載の固体撮像装置。

【請求項6】 前記コンタクトに接続された配線が画素配列エリアの m 行($m \geq 2$)ごとに、前記コンタクトが前記画素配列エリアの n 列($n \geq 1$)ごとに、それぞれ配置されていることを特徴とする、請求項2に記載の固体撮像装置。

【請求項7】 前記画素配列エリアは、画素が所要の周期で配列された画素群を、複数、備えており、前記複数の画素群のうち隣接する画素群の間に、前記コンタクトが設けられていることを特徴とする、請求項2に記載の固体撮像装置。

【請求項8】 前記コンタクトに接続された配線が、画素内の半導体素子を制御する2つの制御線間に配置されていることを特徴とする、請求項1に記載の固体撮像装置。

【請求項9】 前記コンタクトに接続された配線が、画素内の半導体素子を制御する制御線と前記半導体受光領域との間に配置されていることを特徴とする、請求項1に記載の固体撮像装置。

【請求項10】 前記コンタクトは、更に、前記共通ウエルの画素配列エリアの周辺にも複数設けられていることを特徴とする、請求項1に記載の固体撮像装置。

【請求項11】 光電変換素子と増幅用トランジスタとを含む画素が2次元状に複数、配列された増幅型の固体撮像装置において、

撮像装置において、

第一導電型の半導体基板内に形成された第二導電型の半導体からなる共通ウエル内に、各光電変換素子となる第一導電型の半導体受光領域が設けられ、

前記共通ウエルに基準電圧を供給するためのコンタクトが、前記共通ウエルの画素配列エリアの周辺および各画素に設けられており、

前記共通ウエル内に、各増幅用トランジスタのソース又はドレインとなる第一導電型の半導体領域が設けられ、前記半導体領域に、前記増幅用トランジスタを駆動するための電源電圧を供給するための電源用コンタクトが、各画素毎に設けられていることを特徴とする固体撮像装置。

【請求項12】 前記コンタクトまたは前記電源用コンタクトの一方は、前記画素配列エリアの内側に所要の周期で配列された配線に接続されており、前記コンタクトまたは前記電源用コンタクトの他方は、前記配線より上方に形成された受光窓を有する遮光膜に接続されていることを特徴とする、請求項11に記載の固体撮像装置。

【請求項13】 前記配線が、画素内の半導体素子を制御する2つの制御線間に配置されていることを特徴とする、請求項12に記載の固体撮像装置。

【請求項14】 前記コンタクトが前記画素配列エリアの内側に所要の周期で配列された基準電圧用配線に接続されており、また、前記電源用コンタクトが前記基準電圧用配線より上方に形成された受光窓を有する遮光膜に接続されていることを特徴とする、請求項11に記載の固体撮像装置。

【請求項15】 前記基準電圧用配線が、画素内の半導体素子を制御する2つの制御線間に配置されていることを特徴とする、請求項14に記載の固体撮像装置。

【請求項16】 前記画素は、転送ゲートと、リセット用トランジスタと、選択用トランジスタとを含み、前記2つの制御線は、前記転送ゲートの制御線、前記リセット用トランジスタの制御線、前記選択用トランジスタの制御線の、いずれか2つであることを特徴とする、請求項13に記載の固体撮像装置。

【請求項17】 前記画素は、リセット用トランジスタを含み、

前記リセット用トランジスタにリセット用基準電圧を供給するリセット用コンタクトが各画素毎に設けられており、

前記コンタクト、前記リセット用コンタクトまたは前記電源用コンタクトの内の2つは、前記画素配列エリア内に配列された交差配線に接続されており、

前記コンタクト、前記リセット用コンタクト又は前記電源用コンタクトの内の、残りの一つが前記配線より上方に形成された受光窓を有する遮光膜に接続されていることを特徴とする、請求項11に記載の固体撮像装置。

【請求項18】 前記電源用コンタクトは、選択用トランジスタと、リセット用トランジスタとを含み、

ンジスタのソースまたはドレインに接続されており、該選択用トランジスタを介して、前記半導体領域に前記電源電圧を供給することを特徴とする、請求項11に記載の固体撮像装置。

【請求項19】 前記複数の画素は、カラーフィルタの着色層が付設された色画素を含んでおり、複数色の色画素の内、同色の色画素についてのみ、前記ウエルコンタクトが設けられていることを特徴とする、請求項1あるいは11に記載の固体撮像装置。

【請求項20】 前記複数の画素は、カラーフィルタの着色層が付設された色画素を含んでおり、複数色の色画素の内、同色の色画素に付いてのみ、前記ウエルコンタクトが設けられており、前記ウエルコンタクトが設けられた色画素の受光面積よりも、前記ウエルコンタクトが設けられていない色画素の受光面積の方が大きいことを特徴とする、請求項1あるいは11に記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、各画素内で光電変換により発生した信号を、各画素内で増幅する増幅型の固体撮像装置に関するものである。

【0002】

【従来の技術】MOSトランジスタを用いた増幅型の固体撮像装置は、図22に示すような回路構成になっている。ここでは、一画素PXLが、フォトダイオード（光電変換素子）101、転送スイッチ102、リセットスイッチ（リセット用トランジスタ）103、選択スイッチ（選択用トランジスタ）104、増幅用トランジスタ105を有している。そして、各画素PXLは垂直出力線106に接続されている。

【0003】このような画素PXLが同一平面に2次元状に配列されて、画素配列エリアPXAを構成している。MOSトランジスタ105をソースフォロウ動作させるために、定電流源107は、各列の垂直出力線106に接続されている。

【0004】また、各列の垂直出力線106には読み出し回路が接続されている。読み出し回路は、後述するように、そこで発生するノイズを含むノイズ信号（以後N信号）読み出し系と、光信号とN信号が加算された信号（以後（S+N）信号）の読み出し系との2系統に分かれている。それぞれの読み出し系は、N信号転送スイッチ110とN信号蓄積容量112、あるいは、（S+N）信号転送スイッチ111と（S+N）信号蓄積容量113のいずれかを有している。

【0005】更に、2つの読み出し系は、それぞれ、水平走査用のスイッチ114を介して、差動増幅器115の入力線116、117へと接続されている。

【0006】次に、図23に示す駆動タイミングチャートをお示し、この装置の動作の概略について説明す

る。ある選択された1水平ライン上の画素のリセットスイッチ103をオンするハイレベルのリセット制御パルス ϕ_{rst} を与える。次いで、リセットスイッチ103をオフにし、選択スイッチ104をオンするハイレベルの選択制御パルス ϕ_{sel} を与える。こうして、垂直出力線106に出力されたN信号をN信号蓄積容量112に蓄積するために、N信号転送スイッチ110をオンするハイレベルのN信号転送パルス ϕ_{tn} を与える。

【0007】ここでは、選択された行の画素の転送スイッチ102をオンするためのハイレベルの転送制御パルス ϕ_{tx} を与えることで、フォトダイオード101に蓄積された光信号を増幅用トランジスタ105のゲートに入力すると、増幅用トランジスタのソースから、光信号に応じた出力信号が得られるようになる。こうなると、転送制御パルス ϕ_{tx} をローレベルにして転送スイッチ102をオフにしても、増幅用トランジスタのゲート電位は光信号に基づいた値に保持される。

【0008】この状態で、垂直出力線106に出力された（S+N）信号を（S+N）信号蓄積容量113に蓄積するために、（S+N）信号転送スイッチ111をオンするハイレベルの（S+N）信号転送パルス ϕ_{ts} を与える。そして、選択スイッチ104をオフして、選択された行の各画素からの信号の読み出しが終了する。

【0009】N信号蓄積容量112に保持されるN信号には、リセット時のkTCノイズ、MOSトランジスタの閾値バラツキによる固定パターンノイズが含まれている。また、（S+N）信号蓄積容量に保持される（S+N）信号には、前述のノイズを含んだリセット信号に光電荷による信号が加算されている。

【0010】このように、図23のタイミングにより、各スイッチが制御され、1水平ライン上の画素の信号が、それぞれの列の、前記2つの蓄積容量に保持されたのち、水平走査回路により、スイッチ114をオンすることで、N信号および（S+N）信号を差動増幅器115のそれぞれの入力線に読み出す。この時、差動増幅器115からは、それぞれの信号に含まれる前記ノイズが除去され、光電荷による信号のみに応じた信号が、センサ出力として出力される。

【0011】要するに、水平走査回路により、それぞれの列のスイッチ114を順次オン、オフすることにより、1水平ライン上の画素の信号を差動増幅器より出力して行くのである。これを各水平ライン毎に行うために、垂直走査回路により画素行が選択される都度、図23のタイミングにより、各スイッチを制御し、水平走査回路をにより順次走査する、という手続きを繰り返す。こうして、全画素からの信号を差動増幅器115より出力することができる。

【0012】

【発明が解決しようとする課題】従来の固体撮像装置では、画素数が多くなるに伴い、出力信号にノイズが

ディングが現われるようになる。

【0013】

【課題を解決するための手段】本発明の目的は、シェーディングを抑制できる固体撮像装置を提供することにある。この目的を達成するための本発明の骨子は、光電変換素子と増幅用トランジスタを含む画素が2次元状に複数、配列された増幅型の固体撮像装置において、第一導電型の半導体基板内に形成された第二導電型の半導体からなる共通ウエル内に、各光電変換素子となる第一導電型の半導体受光領域が設けられ、前記共通ウエル内に、各増幅用トランジスタのソース・ドレインとなる第一導電型の半導体領域が設けられ、前記共通ウエルに基準電圧を供給するためのコンタクトが、前記共通ウエルの画素配列エリアの内側に複数、設けられていることを特徴とする。

【0014】本発明の別の目的は、シェーディングが抑制できるとともに、洗練されたレイアウトの固体撮像装置を提供することにある。このための本発明の骨子は、光電変換素子と増幅用トランジスタを含む画素が2次元状に複数、配列された増幅型の固体撮像装置において、第一導電型の半導体基板内の第二導電型の共通ウエル内に、各光電変換素子となる第一導電型の半導体受光領域が設けられ、前記共通ウエルに基準電圧を供給するためのコンタクトが、前記共通ウエルの画素配列エリアの周辺および各画素に設けられており、前記共通ウエル内に、各増幅用トランジスタのソース又はドレインとなる第一導電型の半導体領域が設けられ、前記半導体領域に、前記増幅用トランジスタを駆動するための電源電圧を供給するための電源用コンタクトが、各画素毎に設けられていることを特徴とする。

【0015】本発明者は、画素数が増加した場合に、シェーディングが増大する原因について、誠意検討した。例えば、図22におけるMOSトランジスタ105がn型基板内のpウエル内に形成されたNMOSである場合、その断面構造を、図24に示す構成にすることができる。この場合、ソースとドレインはn⁺領域で形成され、ドレインは選択スイッチ側へ、ソースは垂直出力線に接続され、p型ウエルの電位は画素配列エリア外で与えられている。

【0016】図23のタイミングにおいて、選択スイッチ104をオンし、N信号を垂直出力線に出力する際には、図24におけるMOSトランジスタ105の、ソースのn⁺領域の電位が変動する。すると、それに伴い、ソースのn⁺領域とpウエルとの接合容量によって、ソースのn⁺拡散領域近傍でのpウエルの電位も変動してしまう。また、各画素のpウエル電位は、各画素のMOSトランジスタのバックゲート電位になっているので、ウエル電位の変動は、MOSトランジスタの出力に影響を及ぼしてしまう。

【0017】図25の(a)は画素数2000個の画素

領域内の3点、A、B、Cの位置(図25の(b)を参照)での、上記変動を受ける前後のウエル電位を求めたものである。ここで、縦軸はウエル電位、横軸は時間であり、選択スイッチ104をオンした時に、ウエル電位が立ち上がり、ピークを持ったのち、収束して行く様子を示している。

【0018】ウエル電位の変動量は、画素領域内の中心に向かうほど(C→A)大きくなる。ウエル電位の過渡特性に関しても、画素領域内の中心に向かうほど(C→A)、時定数が大きくなり、Aで15μs程である。つまり、選択スイッチ104をオンしたのち、ウエルの電位が戻らないうちに、N信号転送スイッチ110をオンしてしまうと、どの画素もMOSトランジスタのゲート電圧は、同じリセット電圧であるにも関わらず、画素の位置によって、それぞれのN信号蓄積容量112には、異なるレベルの信号が保持されてしまう。

【0019】また、その後のタイミングで、(S+N)信号転送スイッチ111をオンした際にも、画素によって、その位置のウエル電位に応じた信号が(S+N)信号蓄積容量113に保持されてしまう。さらに、N信号転送スイッチをオンしてから(S+N)信号転送スイッチ111をオンするまでの時間に依存して、同じ画素でも、ウエル電位が変わってくるため、撮像動作において、シェーディングの原因になっている。

【0020】図26には、画素配列エリア内の中心を通る1水平ライン上の画素からのダーク時のセンサ出力が示されている。横軸は画素の水平方向の位置に、縦軸は出力レベルに対応している。これは、選択スイッチをオンした後、(S+N)信号転送スイッチをオフするまでに、10μsの時間をとった場合であるが、76mVもの、シェーディングが発生している。

【0021】図27は、時定数の画素配列エリア面積依存性を示している。1画素の面積を一定とし、画素配列エリアのサイズに対応する水平方向の画素数を横軸に、画素配列エリアの中心位置でのウエル電位の時定数を縦軸に示してある。1水平ラインの画素から信号を読み出す際、選択スイッチをオンした後、(S+N)信号転送スイッチをオフするまでの時間は、固体撮像装置の画像の撮像時間の関係上、無制限に長くすることはできない。

【0022】そこで、この時間を10μs以下とした場合、水平方向の画素数なら800程度まで、時定数なら2μsまでの範囲ならば、シェーディングは問題とならない。しかし、画素数が、例えば、2000にもなる大面積の固体撮像装置では、前述のように、78mVのシェーディングを引き起こしてしまうのである。

【0023】本発明者は、ウエルの電位を強化するために、単純にウエル濃度を濃くしただけでは、たとえ、ウエルのシート抵抗を5分の1にしたとしても、シェーディングが起らないのは、水平方向の画素数が2000

程度までであり、本質的な課題解決にはならないばかりか、MOSトランジスタなど各素子の正常動作を行えないことを既に見出している。

【0024】そこで、本発明では、ウエルの電位の変動や、ウエル電位の画素毎の不均一性を抑制するために、新たに、ウエルの電位を与えるためのウエルコンタクトを、共通ウエルの外縁より内側であって、且つ画素配列エリアの内側に、複数備えることにより、各画素内でのMOSトランジスタのソース電位の変動に伴うウエル電位の変動量を抑制する。そして、変動後もウエル電位は短い時間で収束し、過渡特性が向上するので、画素領域内のウエル電位の分布を抑制することが可能となり、ひいては、シェーディングを低減できる。

【0025】

【発明の実施の形態】（第1の実施の形態）図1は、本発明に係わる第1の実施の形態による固体撮像装置を模式的に示す平面図である。ここでは、画素配列エリアPXA内では、その中に配列された3つの画素PXLのみ図示しているが、実際には、これらの画素PXLが100万～1000万程行列状に配される。また、図2は、図1のAA'による断面を示している。図2では、ウエル配線5の下方にある各種配線層や各トランジスタ等は省略されている。

【0026】ここで、1は光電変換素子としてのフォトダイオードであり、詳しくはフォトダイオードを構成するN型の半導体受光領域である。2はP型のウエルと同導電型でウエルよりも高不純物濃度のドーパ領域（P+領域）である。3はウエルコンタクトであり、ドーパ領域2に直接或いは間接的に接触する導電体からなる。

【0027】全ての画素PXLは単一の共通ウエル4の外縁より内側の区画、即ち画素配列エリアPXAの内側に2次元的に配列されている。また、5は遮光膜を兼ねたウエル配線であり、フォトダイオード1に光を照射するための受光窓OPが形成された導電体からなる。このウエル配線5は、ウエルコンタクト3に接続されており、基準電圧源Vwから所定の基準電圧（例えば0V）が与えられる。

【0028】図2では、絶縁層10と絶縁層11との間に配された配線層と、配線層の上部にあるスルーホール内の導電性プラグと、配線層の下にあるコンタクトホール内の導電性プラグとによりコンタクトが構成されているが、本発明は、この構造に限定されるわけではない。

【0029】ここでは、全ての画素について、各画素に対して1対1で、ウエルコンタクト3を設け、遮光膜を兼ねた、最も上の導電層をウエル配線5とした構成を特徴としている。そして、画素配列エリアPXAの周辺PPにもドーパ領域2'と、コンタクト3'が設けられている。即ち、画素配列エリアPXAの外縁の外側にある共通ウエル4内にドーパ領域2'を設け、その上にコンタクト3'を設け、ウエル配線5に接続して、所定の

基準電圧が与えられるようになっている。図1、2では、ウエル配線5の下方にある各種配線層や各トランジスタなどは省略してある。

【0030】図3、図4に、本発明に用いられる1画素の回路図と、その断面構造を示す。ここで、1画素PXLは、フォトダイオード101と、転送スイッチ102と、増幅用トランジスタ105と、選択用トランジスタ104と、リセット用トランジスタ103とを有している。また、12は絶縁体（誘電体）からなる素子分離領域であり、1画素の周辺を囲むとともに、素子分離領域は、フォトダイオード101と転送スイッチ102とリセット用トランジスタ103とを含む区域と、選択用トランジスタ104と増幅用トランジスタ105を含む区域の間や、ドーパ領域2の周辺にも、形成されている。

【0031】フォトダイオード101のカソード、および、各トランジスタ（半導体素子）のソース・ドレインとなるN型の半導体領域1、13～17は、N型基板の表面に形成されたP型の共通ウエル4内に形成されている。P型の共通ウエル4には、P+のドーパ層2とコンタクト3が設けられており、基準電圧源Vwからフォトダイオードのアノード電圧と各トランジスタのバックゲート電圧（チャネル電圧）が与えられる。

【0032】そして、転送ゲートを制御する転送ゲート制御線に転送制御信号 ϕ_{tx} を印加して、ゲートを開くと、フォトダイオード101の半導体受光領域1に蓄積されたキャリア（電子）は、浮遊状態にある半導体領域13に転送され、増幅用トランジスタ105のゲートの電位を変える。また、選択スイッチ線に選択制御信号 ϕ_{sel} を印加して、選択用トランジスタ104をオンする。そうすると、増幅用トランジスタ105のゲート電圧に応じた、電流が、増幅用トランジスタ105と選択用トランジスタ104に流れて、出力信号が出力線Voutから取り出せる。

【0033】更に、リセット制御線にリセット制御信号 ϕ_{rst} を印加して、リセット用トランジスタ103をオンして、半導体領域13の電位をリセット電圧Vrstを用いて、所定の値にリセットする。このような一連の動作期間中、共通ウエル4には、コンタクト3、ドーパ領域2を通して、基準電圧が与えられる。この構成により、ウエル電位（各トランジスタのバックゲート電位）の画素毎のバラツキが低減され、シェーディングを0.5mV以下にすることができる。

【0034】以上説明した本実施の形態では、共通ウエルの導電型がP型であったが、各半導体領域の導電型を、図示したものと逆（PをNに、NをPに）することもできる。その場合には、電位の高低関係も逆になる。例えば、N型ウエルを用いる場合には、ウエルに与える基準電圧は+5.0Vや+3.3Vとなる。

【0035】また、画素の回路構造は、図3に示したものと異なる。例えば、転送スイッチ102の構造は、

ことも可能である。更に、リセット電圧 V_{rst} と電源電圧 V_{DD} とを同じ電圧にしてもよい。

【0036】(第2の実施の形態)図5は本発明における第2の実施の形態を模式的に示す平面図である。ここで、図6はその BB' 線による断面を示している。本実施形態が図1、2の実施形態と異なる点は、ウエル配線6の形状である。

【0037】ここでは、遮光膜の下方の導電層を用いてウエル配線6を構成している。同じレベルの導電層を用いて増幅用トランジスタ105から信号を出力するための垂直出力線7が、ウエル配線6と平行に、それぞれが交互に配列されている。

【0038】そして、画素配列エリア PXA の周辺 PP にもウエル配線6とウエルコンタクト3'とドープ領域2'が形成されており、ウエル配線6を通して基準電圧源 V_w から所定の基準電圧が与えられるように構成されている。

【0039】この実施の形態においても、シェーディングを0.5mV以下にすることができる。また、隣接列の垂直出力線7の間には、電位が固定されたウエル配線6が配置されているので、隣接垂直線間の容量結合による干渉が抑制される。

【0040】(第3の実施の形態)図7は本発明における第3の実施の形態を模式的に示す平面図である。本実施形態が図5、6の実施形態と異なる点は、ウエル配線6のレイアウトである。

【0041】ここでは、遮光膜の下方の導電層を用いて行方向(図中、横方向)にウエル配線6が延びるように構成されている。同じレベルの導電層を用いて、画素の半導体素子を制御するための制御線8が、ウエル配線6と平行に、しかも、それぞれが交互に配列されている。制御線8としては、転送スイッチ用の転送制御線、リセットトランジスタ用のリセット制御線、選択用トランジスタの選択制御線などが挙げられる。

【0042】そして、画素配列エリア PXA の周辺 PP にもドープ領域2'ウエルコンタクト3'が形成されており、ウエル配線6を通して基準電圧源から所定の基準電圧が与えられるように構成されている。

【0043】この実施の形態では、画素配列エリアの周辺および全画素について、それぞれ、ウエルコンタクトを設け、画素配列の全行に、ウエル配線を設けている。これにより、ウエル電位の分布のバラツキを低減し、シェーディングを0.5mV以下にできる。

【0044】(第4の実施の形態)図8は本発明における第4の実施の形態を模式的に示す平面図である。図9は、図8の CC' 線による断面を示している。ここで、符号1はフォトダイオード、2はドープ領域、3はウエルコンタクト、4は画素が2次元的に配列された単一の共通ウエル、6はウエル配線である。

【0045】この実施の形態では、画素 P を周期的パ

ターンで、例えば、200列ごとのブロック BK に分割し、ブロック間にウエルコンタクトのためのスペースを空け、各スペースに、複数のウエルコンタクトおよびウエル配線を設けたことを特徴としている。これにより、画素サイズの縮小に伴って各画素内にウエルコンタクトを設けるスペースが無い場合でも、ウエル電位の分布を低減することができる。また、画素配列エリア PXA の周辺のウエルコンタクト2'は、ウエル配線6の上下延長線上に設けたり、左右の画素配列エリアの周辺にウエル配線6と同様に設けることができる。

【0046】本実施形態によれば、シェーディングを0.5mV以下にできる。また、200列毎のスペースの幅は、画素サイズの4分の1以下であったので、画像への影響は、目視する限り、確認できない程度であり、全体としても、良好な画像が保持できる。

【0047】(第5の実施の形態)図10は本発明における第5の実施の形態を模式的に示す平面図である。ここで、符号1はフォトダイオード、2はドープ領域、3はウエルコンタクト、4は画素が2次元的に配列された単一の共通ウエル、6はウエル配線である。

【0048】この実施の形態では、周期的パターンで、配列される画素のうち、例えば、その201列目、402列目…に配置されるべき画素列にウエルコンタクトおよびウエル配線を設けたことを特徴としている。つまり、これらの画素列の画素には、フォトダイオードや半導体素子などを形成せずに、ドープ領域とウエルコンタクトのみ形成する。あるいは、フォトダイオードや半導体素子の大きさを、他の画素のそれより小さくして、空いたスペースにドープ領域を設けてもよい。

【0049】これにより、画素サイズの縮小に伴って各画素内にウエルコンタクトを設けるスペースが無い場合でも、画素のピッチを画素領域内で乱すことなく、ウエル電位の分布のバラツキを低減することができる。こうして、シェーディングを0.5mV以下にできる。

【0050】また、ウエルコンタクトが設けられたところでは、1列全行の画素信号が得られないので、200列毎に1本の線状キズができるが、これは、設計時に予め位置が解っているので、センサ信号を取り込み後、コンピュータで、ソフト的に処理し、両脇の画素の、平均の出力で補間するといった処置で、良好な画像が得られる。なお、この補間方法は、上記に限られるものではなく、回路的に平均化しても良いし、平均化以外の処理を行って、解決しても良い。

【0051】(第6の実施の形態)図11は本発明における第6の実施の形態を模式的に示す平面図である。ここで、符号1はフォトダイオード、2はドープ領域、3はウエルコンタクト、4は画素が2次元的に配列された単一ウエル内の画素配列エリア、6はウエル配線である。

【0052】この実施の形態では、画素 P を周期的パ

ターンで、例えば、その200行毎にウエル配線6を設け、その行の200列ごとにウエルコンタクト3を設けている。ウエルコンタクト3を設けた画素は、ウエルコンタクトのためのスペースを必要とするので、当該画素内のフォトダイオード1の面積をウエルコンタクトの無い画素のフォトダイオードの面積より小さくしている。

【0053】これにより、画素サイズの縮小に伴って各画素内にウエルコンタクトを設けるスペースを空け難い場合でも、画素のピッチを画素領域内で乱すこと無く、ウエル電位の分布を抑制できる。こうして、シェーディングを0.5mV以下にできる。

【0054】また、フォトダイオードの面積を縮小した画素については、感度が若干低下したが、設計時に予めその画素の位置が解っているので、センサ信号の取り込み後、コンピューターでソフト的に処理し、その画素についてはゲインをかけて補正する処置により、良好な画像が得られる。

【0055】(第7の実施の形態)図12は本発明における第7の実施の形態を模式的に示す平面図である。ここで、符号1はフォトダイオード、2はドープ領域、3はウエルコンタクト、4は画素が2次元的に配列された単一の共通ウエル、6はウエル配線である。

【0056】この実施の形態では、画素配列を周期的パターンで、例えば、その200列毎にウエル配線6を設け、その列の200行ごとにウエルコンタクト3を設け、ウエルコンタクトを設けた画素およびその近傍の、9画素の画素内の素子を、ウエルコンタクトから離れる方向に放射状にずらして配置することにより、ウエルコンタクトのためのスペースを空けている。これにより、ウエルコンタクトを設けた画素のフォトダイオードの面積を縮小せずにすむので、当該画素の感度の低下などを引き起こすことも無く、ウエル電位の分布のバラツキを抑制できる。こうして、シェーディングを0.5mV以下にできる。

【0057】(第8の実施の形態)図13は本発明における第8の実施の形態を模式的に示す平面図である。ここで、符号1はフォトダイオード、2はドープ領域、3はウエルコンタクト、4は画素が2次元的に配列された単一の共通ウエル、6はウエル配線、8、9は画素内の半導体素子を制御するための制御線である。

【0058】この実施の形態では、全画素にウエルコンタクト、全行にウエル配線6を設け、ウエル配線6は制御線8と9との間に配置している。これにより、ウエル電位の分布のバラツキを抑制し、シェーディングを0.5mV以下にできる。また、近接する2つの制御線8、9間にウエル配線6を配置した効果として、例えば、転送スイッチの制御線にクロックノイズが乗ることで、転送スイッチが開いてしまうなどの制御線同士のクロックノイズによる影響がなくなる。

【0059】また、制御線8、9の間に、転送ノイズ...

チ用の転送制御線、リセットトランジスタ用のリセット制御線、選択用トランジスタの選択制御線から選択された2種を用いることができる。また、この実施の形態を変更して、全画素ではなく、あいだに複数の画素をおいた所定の周期で2次元に配されている特定画素にのみ、ウエルコンタクトを設け、ウエル配線6に接続してもよい。

【0060】(第9の実施の形態)図14は本発明における第9の実施の形態を模式的に示す平面図である。ここで、符号1はフォトダイオード、2はドープ領域、3はウエルコンタクト、4は画素が2次元的に配列された単一の共通ウエル、6はウエル配線、8、9は画素内の素子を制御するための制御線である。

【0061】この実施の形態では、全画素にウエルコンタクト、全行にウエル配線6を設け、ウエル配線6はフォトダイオード1と制御線8間に配置されている。これにより、ウエル電位の分布のバラツキを抑制でき、シェーディングを0.5mV以下にできる。

【0062】また、この実施の形態での更なる効果を2つ示す。図15の(a)および(b)は、それぞれ本実施形態の固体撮像装置の部分的な断面を示している。ここでは、基板がp型、ウエルがn型、フォトダイオードがホール蓄積型の固体撮像装置の場合において、制御線がフォトダイオードに隣接した構造を例示している。制御線8、9としては、転送スイッチ用の転送制御線、リセットトランジスタ用のリセット制御線、選択用トランジスタの選択制御線から選択された2種を用いることができる。

【0063】この図15の(a)は、制御線が5Vのときの図であり、フォトダイオード内の制御線近傍のポテンシャルが低くなることにより、ホールが集まってくる様子を示している。逆に、図15の(b)は、制御線が0Vのときの図であり、フォトダイオード内の制御線近傍のポテンシャルが高くなることによって、ホールが逃げて行く様子を示している。つまり、制御線にクロックが入るたびに、フォトダイオード内のホールが振られてしまうため、転送スイッチによる転送のタイミングと制御線のクロックのタイミングによっては、転送残りが起きて、ノイズを発生してしまう。

【0064】しかし、この実施の形態では、フォトダイオードに隣接する配線をウエル配線にし、ウエル電位に固定したことにより、フォトダイオード内の蓄積電荷の振られによって生じる上記ノイズを抑制できる。また、フォトダイオードに隣接する配線が0Vのときは、フォトダイオードとLOCOSの側壁に沿って空乏層が広がり、LOCOSと空乏層の接触面積が大きくなる。このため、LOCOS側壁の欠陥により、暗電流が増大していたが、フォトダイオードに隣接する配線をウエル配線にし、ウエル電位にしたことで、前記空乏層の広がりを抑えることで、暗電流を減少させることができる。また、この中

施の形態では、全画素、或いは、あいだに複数の画素をおいた所定の周期で2次元に配されている特定画素にのみ、ウエルコンタクトを設け、ウエル配線6に接続する。

【0065】(第10の実施の形態)図16は本発明における第10の実施の形態を模式的に示す平面図である。ここで、符号1はフォトダイオード、2はドープ領域、3はウエルコンタクトであり、4×4画素分を図示している。ドープ領域2は、共通ウエル内に形成されている。ウエル配線や素子を制御するための制御線は省略されている。AMPは増幅用トランジスタを含む半導体素子を示している。ここでは、ドープ領域2とウエルコンタクト3が設けられた第1型の画素PXL1からなる列と、ドープ領域2とウエルコンタクト3が設けられていない第2型の画素PXL2からなる列と、が交互に配列されており、それぞれの出力線7が、図中、上方の信号読み出し回路または下方の信号読み出し回路に接続されている。

【0066】第2型の画素PXL2は、ドープ領域2とウエルコンタクト3が存在しない分、共通ウエルと協働してフォトダイオードとなる半導体受光領域1の面積(受光面積)が、第1型の画素PXL1のそれより、大面積になっている。フォトダイオードの大きさが異なるために、入射光に対する感度が異なる。そこで、各読み出し回路におけるゲインを調整して、同じ光量の光が入射したときの2つの出力端子における出力レベルを一致させるとよい。この実施例では、一列間隔でウエルコンタクトを設けたが、3列或いは4列以上の間隔でウエルコンタクトを設けても良い。また、信号読み出し回路も3つ或いは4つ以上設けても良い。更に、画素配列エリアの周辺にもウエルコンタクトを設けるとよい。

【0067】(第11の実施の形態)図17は本発明における第11の実施の形態による固体撮像装置の回路構成図である。一画素PXLは、フォトダイオード101、転送スイッチ102、リセット用トランジスタ103、選択用トランジスタ104、増幅用トランジスタ105を含む。

【0068】各画素PXLには、横方向のウエル配線6に接続されたウエルコンタクト3が設けられている。又、増幅用トランジスタ105に電源電圧を供給する電源コンタクト28も各画素PXLに設けられている。画素配列エリアPXAの内側に上記画素PXLが多数2次元行列状に配されている。画素配列エリアPXAの周辺PPにはドープ領域2'が、画素配列エリアを囲むように設けられており、その上にはウエルコンタクトを介して形成されたウエル配線6が配置されている。

【0069】この固体撮像装置の駆動方法は、図22、23に示した装置の駆動方法と同じである。そして、この固体撮像装置の回路配置(レイアウト)の概要を図18に示す。また、図18のEE'線における断面に

する構成を図19に、図18のEE'線における断面に対応する構成を図20に示す。

【0070】図18を参照するに、一画素PXLは、平面的にみると、主として、フォトダイオード1と転送スイッチ102、リセット用トランジスタ103が配置された部分(1, 13, 14, 26, 27)と、選択用トランジスタ104と増幅用トランジスタ105とが配置された部分(15, 17, 18, 19)とからなり、それらの部分の間にドープ領域2が配置されている。そして、選択用トランジスタ104と増幅用トランジスタ105とが配置された部分は、隣接下行の、2画素のフォトダイオードの間に配置されている。出力信号線7とリセット電圧Vrstを与えるリセット電圧線23が列方向に延びる配線として形成されており、転送制御線8、ウエル配線6、リセット制御線9、選択制御線20が行方向に延びる配線として形成されている。

【0071】図19、20を参照して、画素の構造についてより詳しく説明する。図20に示すように、素子分離領域12で囲まれた領域内には、共通ウエル4と協働してフォトダイオードとなる半導体受光領域1と浮遊状態にある半導体領域13とリセット電圧が与えられる半導体領域14とが、所定の間隔をおいて形成されている。転送ゲート26は、第1の絶縁層10に形成されたホール内プラグを介して、また、第1の絶縁層10と第2の絶縁層11間の第1金属層、および、第2の絶縁層11に各々、形成されたホール内のプラグを介して、第2の絶縁層11上にある、第2金属層からなる転送制御線8に接続されている。

【0072】リセットゲート27も同様に、第1の絶縁層10に形成されたホール内プラグ、第1の絶縁層10と第2の絶縁層11間の第1金属層、第2の絶縁層11に形成されたホール内のプラグを介して、第2の絶縁層11上にある第2金属層からなるリセット制御線9に接続されている。半導体領域14は、第1の絶縁層10に形成されたコンタクトホール内プラグを介して、第1の絶縁層11上にある第1金属層からなるリセット電圧線23に接続されている。第2金属層の上には第3の絶縁層22が形成されており、その上には受光窓OPを有する第3金属層からなる遮光膜5が形成されている。

【0073】図19に示すように、素子分離領域12で囲まれた領域内にはドープ領域2、増幅用トランジスタ及び選択用トランジスタのソース・ドレインとなる半導体領域15、16、17が形成されている。この形態では、ドープ領域2と半導体領域15との間にも素子分離領域12が形成されている。ドープ領域2は、第1の絶縁層10に形成されたホール内プラグ、第1の絶縁層10と第2の絶縁層11間の第1金属層、第2の絶縁層11に形成されたホール内のプラグからなるウエルコンタクト3に接続されており、このウエルコンタクトが、第2の絶縁層11上にある第2金属層からなるウエル配線

6に接続されている。半導体領域15は、第1の絶縁層10に形成されたホール内プラグを介して、第1の金属層からなる出力線7に接続されている。

【0074】増幅用トランジスタのゲート電極18は、第1の絶縁層10に形成されたホール内プラグ、第1金属層からなる配線21を介して、浮遊状態の半導体領域13に接続されている。選択用トランジスタのゲート電極19は、第1の絶縁層10に形成されたホール内プラグ、第1の絶縁層10と第2の絶縁層11間の第1金属層、第2の絶縁層11に形成されたホール内のプラグを介して、選択制御線20に接続されている。

【0075】選択用トランジスタの半導体領域17は、第1の絶縁層10に形成されたホール内プラグ、絶縁層10、11間の第1金属層、第2の絶縁層11に形成されたホール内のプラグ、絶縁層11上の第2金属層、第3の絶縁層22に形成されたホール内プラグからなる電源コンタクト28に接続されており、この電源コンタクト28が、第3の絶縁層22上にある第3金属層からなる遮光層5に接続されている。そして、この遮光膜5は電源電圧源VDDに接続されることで、電源電圧が半導体領域17に与えられる。

【0076】ここでは、基板24及び各領域1、13-17を構成する半導体はN型又はP型であり、共通ウエル4及びドープ領域2を構成する半導体はこれらとは逆導電型である。各領域13-17を、不純物濃度の低い領域を含むLDD構造にすることも好ましいものである。また、各ゲート電極18、19、26、27の表面や各領域2、13-17の表面には、コバルトシリサイドなどの金属シリサイドを形成してもよい。

【0077】ウエルコンタクト3や電源コンタクト28を構成するホール内プラグは、タングステン、アルミニウム、アルミニウム銅、銅などの金属（合金）から形成され、更にはプラグの上下の面或いは側面には窒化チタンなどのバリアメタルが形成されたものでもよい。各制御線、電圧線、ウエル配線、遮光層となる第1ないし3金属層もまた、アルミニウム、アルミニウム銅、銅などの金属（合金）から形成され、更にはそれらの層の、上下の面或いは側面には窒化チタンなどのバリアメタルが形成されたものでもよい。

【0078】（第12の実施の形態）図21は本発明における第12の実施の形態による固体撮像装置の上面図である。ここでは、2×2画素分を取り上げて図示しているが、現実にはこれらの4画素が繰り返し2次元状に配列されている。本実施形態の特徴は、原色カラーフィルタを有する固体撮像装置や補色カラーフィルタを有する固体撮像装置のように、複数の色信号を得ることができるカラー固体撮像装置において、画素数が最も多い色画素にのみウエルコンタクトを設けた点にある。

【0079】31はカラーフィルタの緑（G）の着色層が配されたG画素、33はカラーフィルタの赤（R）の

着色層が配されたB画素、33はカラーフィルタの赤

（R）の着色層が配されたR画素である。着色層は、遮光膜の受光窓上に、直接或いは透明な層を介して設けられる。ここでは、2×2画素配列の対角線にあるG画素31にのみ、ドープ領域2とウエルコンタクト3とが配置されている。B画素32とR画素33には、ドープ領域とウエルコンタクトは設けられておらず、フォトダイオードの半導体受光領域1の受光面積を、G画素に比べて大きくして、感度を向上させている。一画素あたりの受光面積はG画素が他の色の画素に比べて小さいが、G画素の数は他の色の、画素の約2倍になるように配列される。同色の画素においては、一画素あたりの受光部面積は全て同じなので、画像処理において、各色信号レベルを調整すれば、ホワイトバランス等の制御は容易である。各色信号の出力信号は、図16のように列毎に交互に上下に振り分けて、出力してもよいし、図17のように上方（又は下方）のみに出力してもよい。

【0080】（第13の実施の形態）本実施形態は、図17、18、19、20に示したような構成の固体撮像装置の遮光膜上に、図21に示したような着色層の配置パターンを有するカラーフィルタを載せて構成したものである。ウエルコンタクト2は、図18に示すように全ての画素に形成されている。各画素の受光面積は全画素同一であっても、色毎に異なっている、あるいは、図21のようになっていても、いずれでも構わない。それぞれの特徴を考慮して選択すればよい。受光面積は遮光膜の受光窓の面積で決めることができる。

【0081】また、画素配列エリアの周辺PPに近い位置にある画素では、遮光膜に受光窓を設けずに、いわゆる、遮光画素（オプティカルブラック）として働かせることもできる。この場合も、色画素同様にウエルコンタクトを設けることにより、暗時の基準レベルを色画素と遮光画素の間でそろえることができる。

【0082】（第14の実施の形態）カラー固体撮像装置において、R画素又はB画素にのみウエルコンタクトを設けても良い。

【0083】

【発明の効果】以上説明したように、本発明によれば、画素配列エリアの内部にウエルコンタクトを複数設けることにより、ウエル電位の分布を抑制でき、シェーディングを低減することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態による固体撮像装置の模式的平面図である。

【図2】図1のAA'線による模式的断面図である。

【図3】本発明に用いられる固体撮像装置の一画素の回路構成図である。

【図4】本発明に用いられる固体撮像装置の一画素の模式的断面図である。

【図5】本発明の第2の実施の形態による固体撮像装置

の模式的平面図である。

【図 6】図 5 の B B' 線による模式的断面図である。

【図 7】本発明の第 3 の実施の形態による固体撮像装置の模式的平面図である。

【図 8】本発明の第 4 の実施の形態による固体撮像装置の模式的平面図である。

【図 9】図 8 の C C' 線による模式的断面図である。

【図 10】本発明の第 5 の実施の形態による固体撮像装置の模式的平面図である。

【図 11】本発明の第 6 の実施の形態による固体撮像装置の模式的平面図である。

【図 12】本発明の第 7 の実施の形態による固体撮像装置の模式的平面図である。

【図 13】本発明の第 8 の実施の形態による固体撮像装置の模式的平面図である。

【図 14】本発明の第 9 の実施の形態による固体撮像装置の模式的平面図である。

【図 15】第 9 の実施の形態による固体撮像装置の動作を説明するための模式的断面図である。

【図 16】本発明の第 10 の実施の形態による固体撮像装置の模式的平面図である。

【図 17】本発明の第 11 の実施の形態による固体撮像装置の回路構成図である。

【図 18】第 11 の実施の形態による固体撮像装置の回路配置図である。

【図 19】図 17 の D D' 線による模式的断面図である。

【図 20】図 17 の E E' 線による模式的断面図である。

【図 21】本発明の第 12 の実施の形態による固体撮像装置の模式的上面図である。

【図 22】従来の固体撮像装置の回路構成図である。

【図 23】従来の同じく、要部を示す模式的断面図である。

【図 24】従来の固体撮像装置の動作を説明するためのタイミングチャートである。

【図 25】固体撮像装置のウエル電位の変化を示すグラフである。

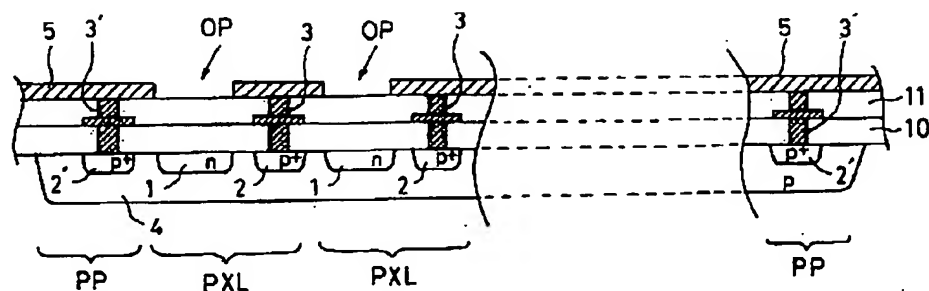
【図 26】シェーディングを説明するためのグラフである。

【図 27】時定数の変化を説明するためのグラフである。

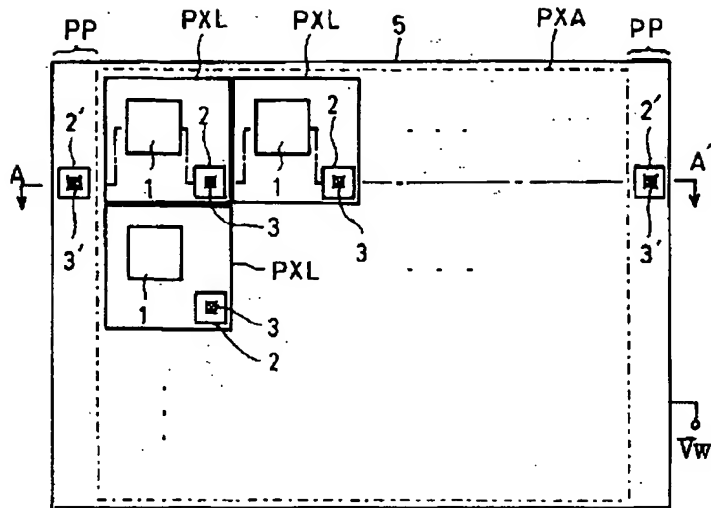
【符号の説明】

- 1 フォトダイオード（半導体領域）
- 2、2' ドープ領域
- 3、3' ウエルコンタクト
- 4 共通ウエル
- 5、6 ウエル配線
- 5' 遮光膜
- 7 垂直出力線
- 8、9 制御線
- 10 絶縁層
- 11 絶縁層
- 12 素子分離領域
- 13～17 半導体領域
- 18、19 ゲート電極
- 20 選択制御線
- 21 配線
- 22 絶縁層
- 23 リセット電圧線
- 24 基板
- 26 転送ゲート（ゲート電極）
- 27 リセットゲート（ゲート電極）
- 28 電源コンタクト
- 31 G画素
- 32 B画素
- 33 R画素
- 101 フォトダイオード
- 102 転送スイッチ
- 103 リセット用トランジスタ
- 104 選択用トランジスタ
- 105 増幅用トランジスタ

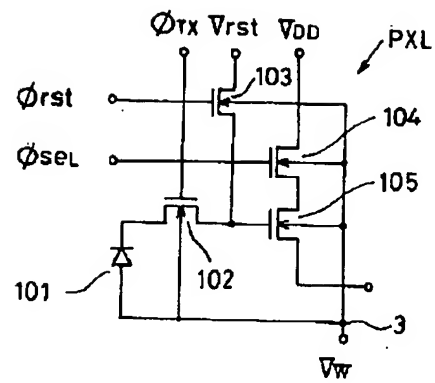
【図 2】



【図1】

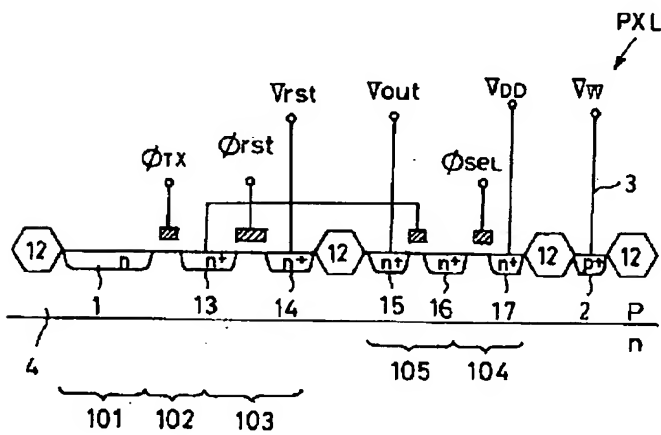


【図3】

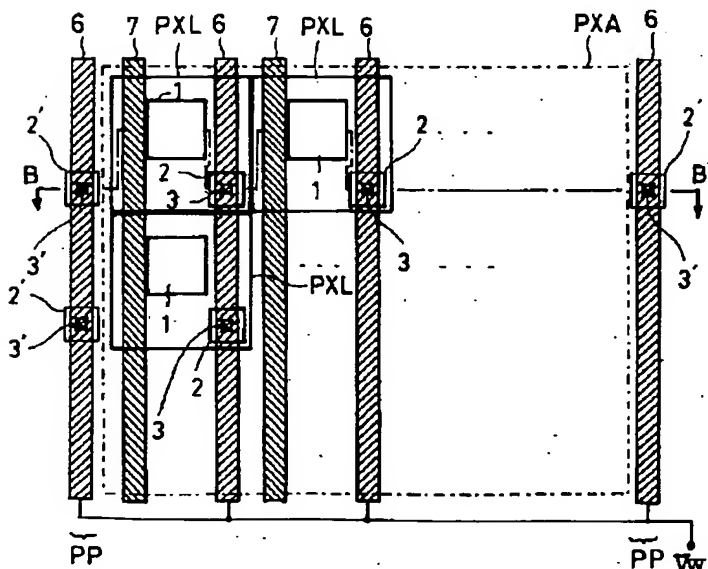


【図10】

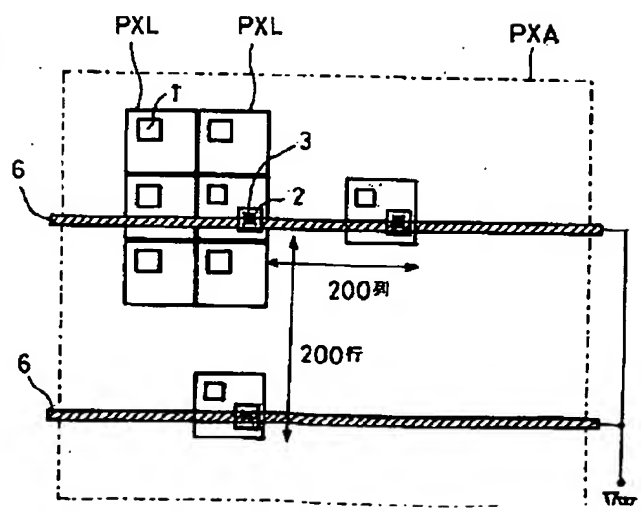
【図4】



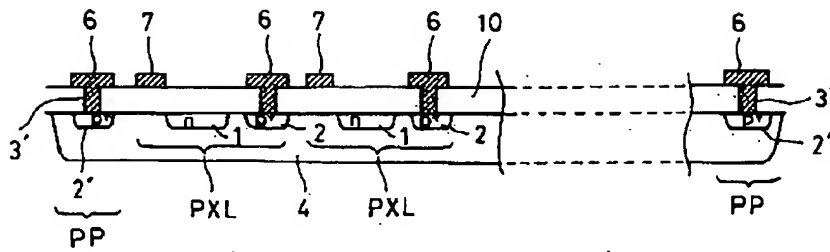
【図5】



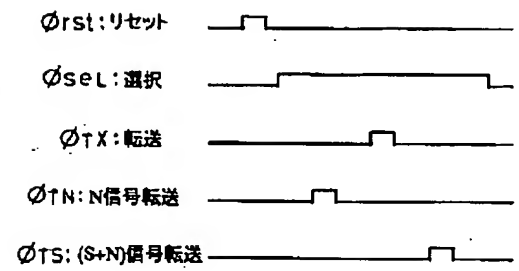
【図11】



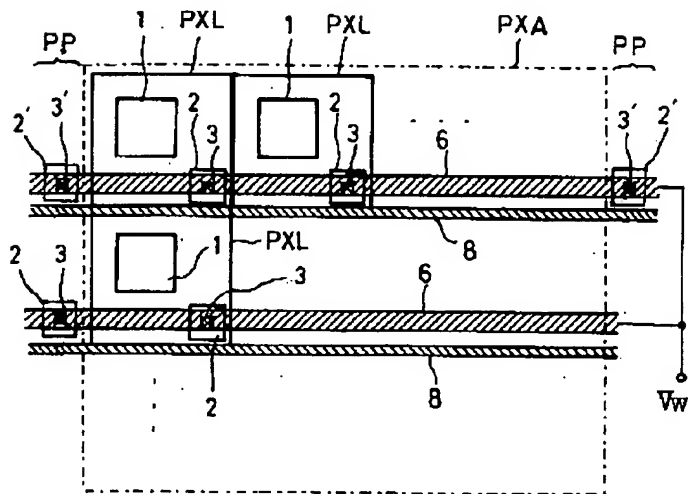
【図6】



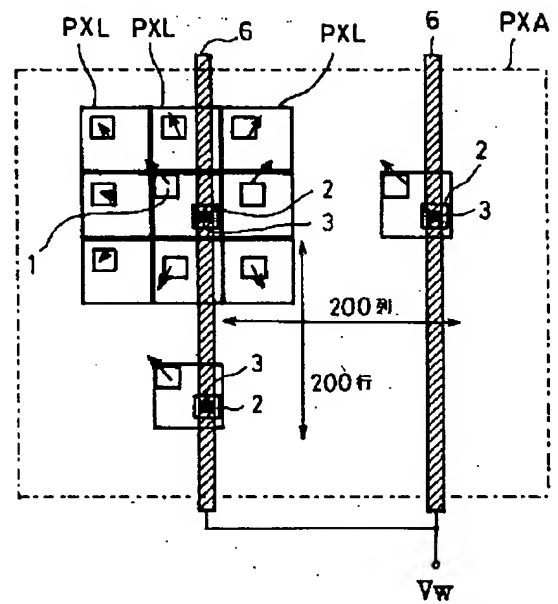
【図23】



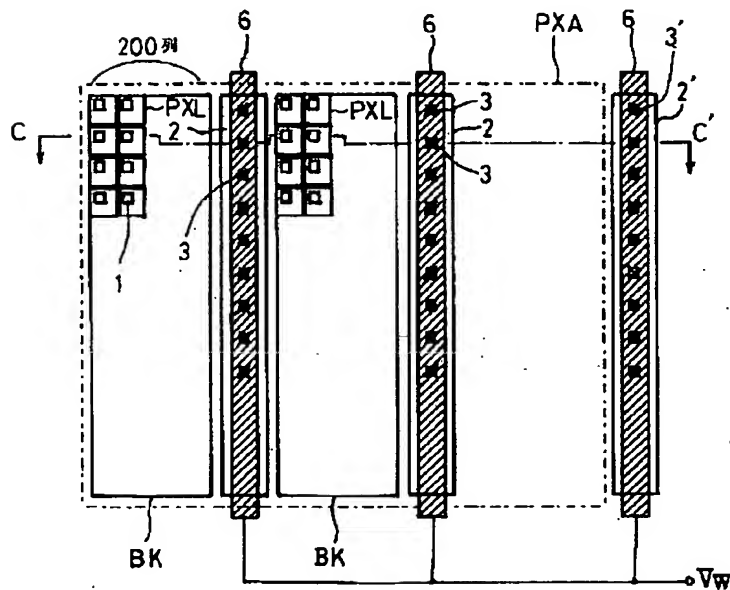
【図7】



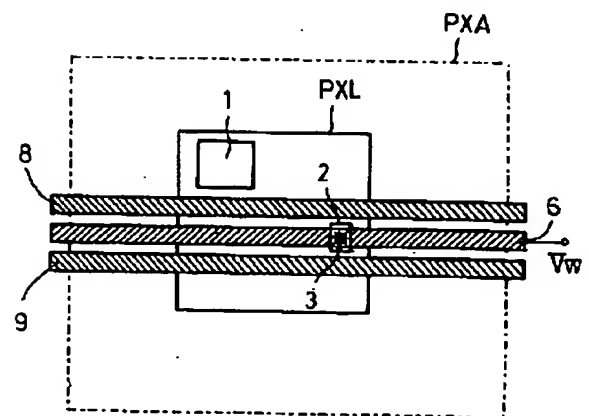
【図12】



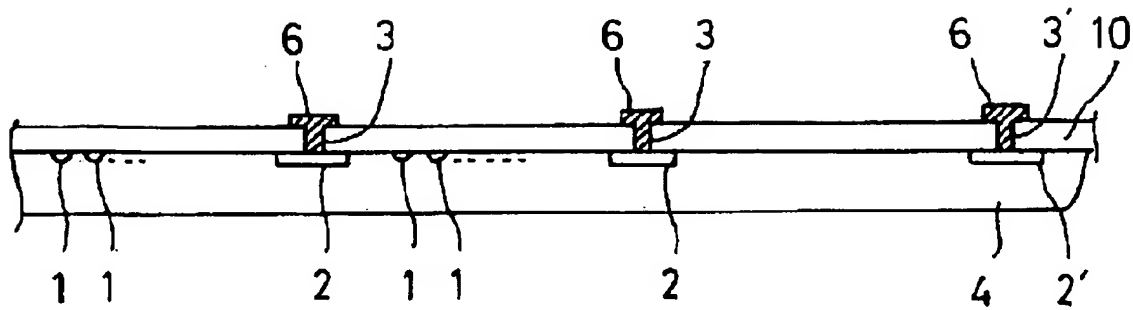
【図8】



【図13】

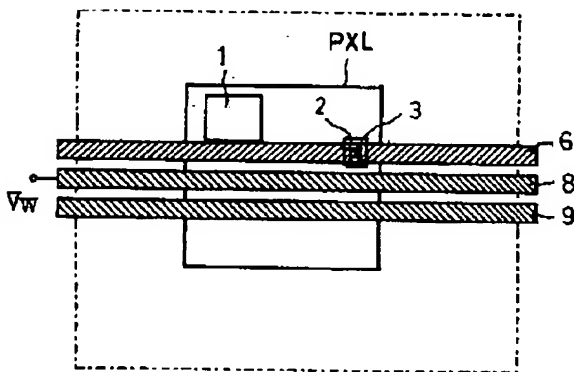


【図9】

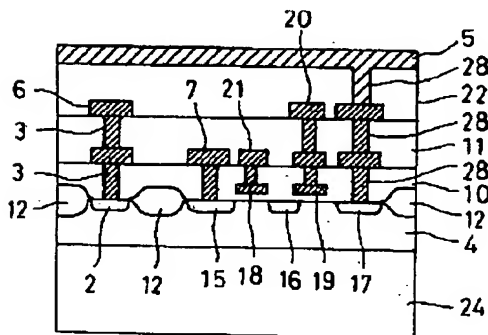
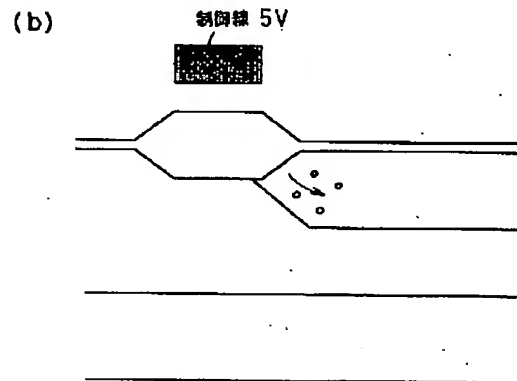
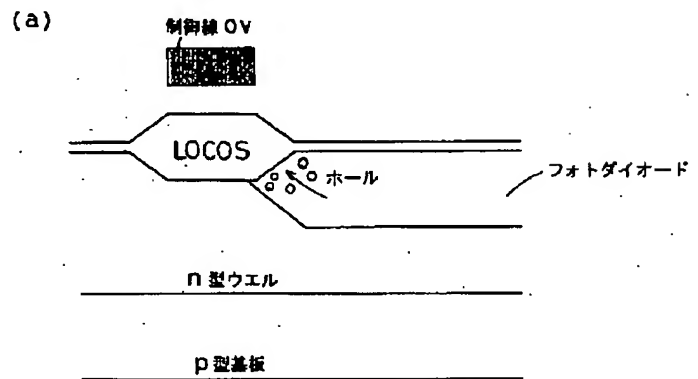


【図14】

【図15】

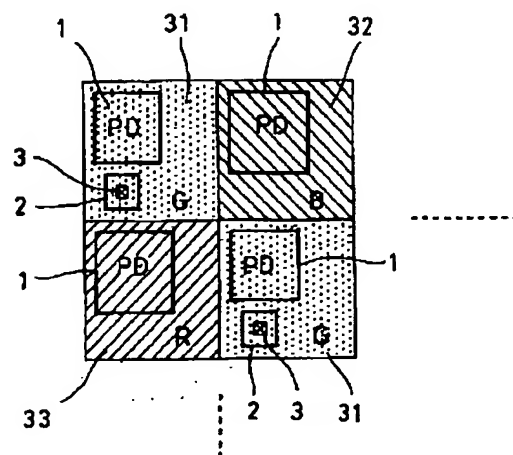
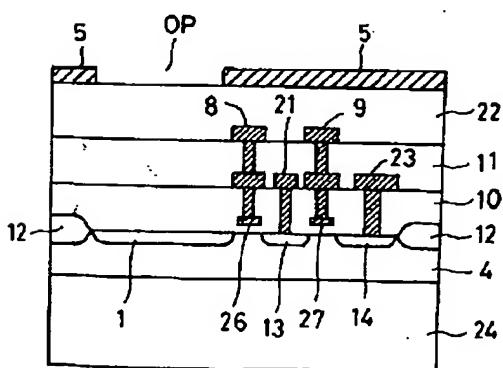


【図19】

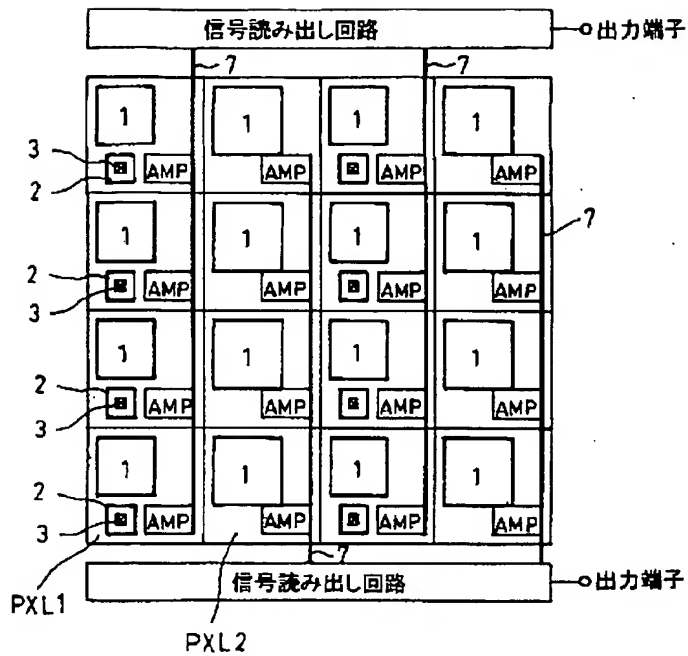


【図20】

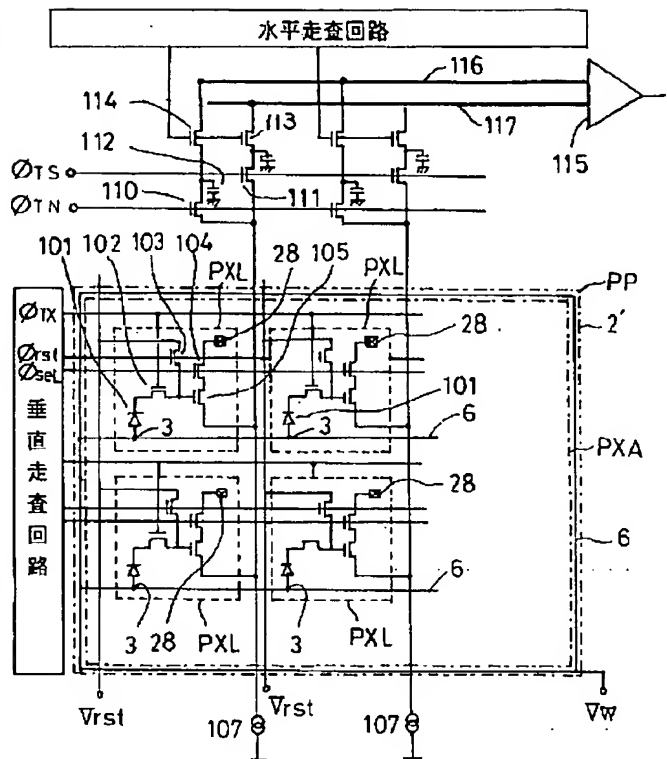
【図21】



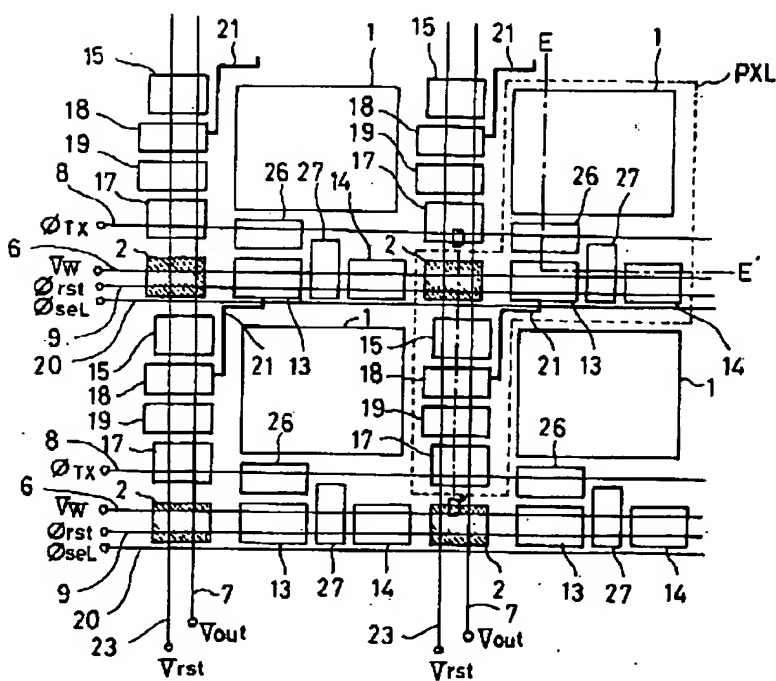
【図16】



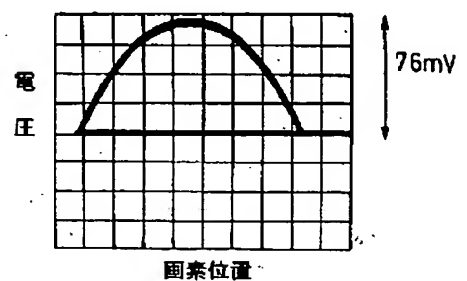
【図17】



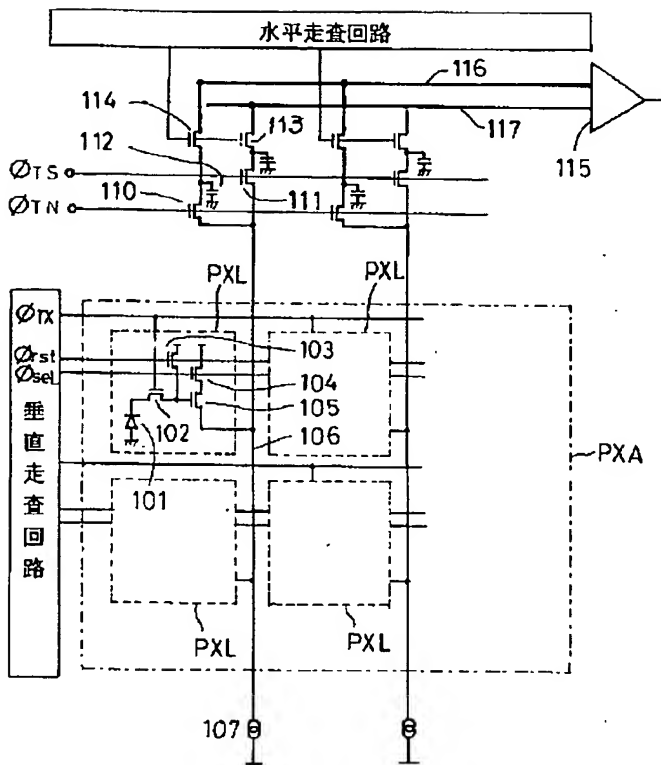
【図18】



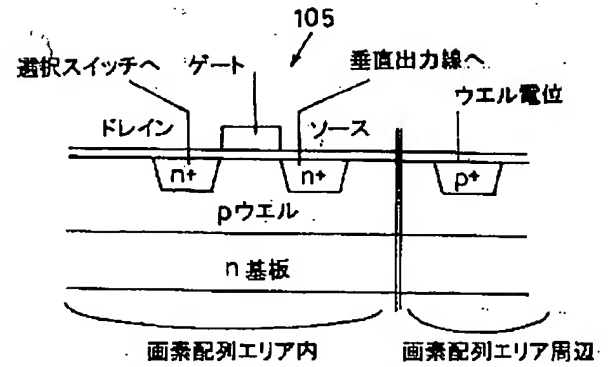
【図26】



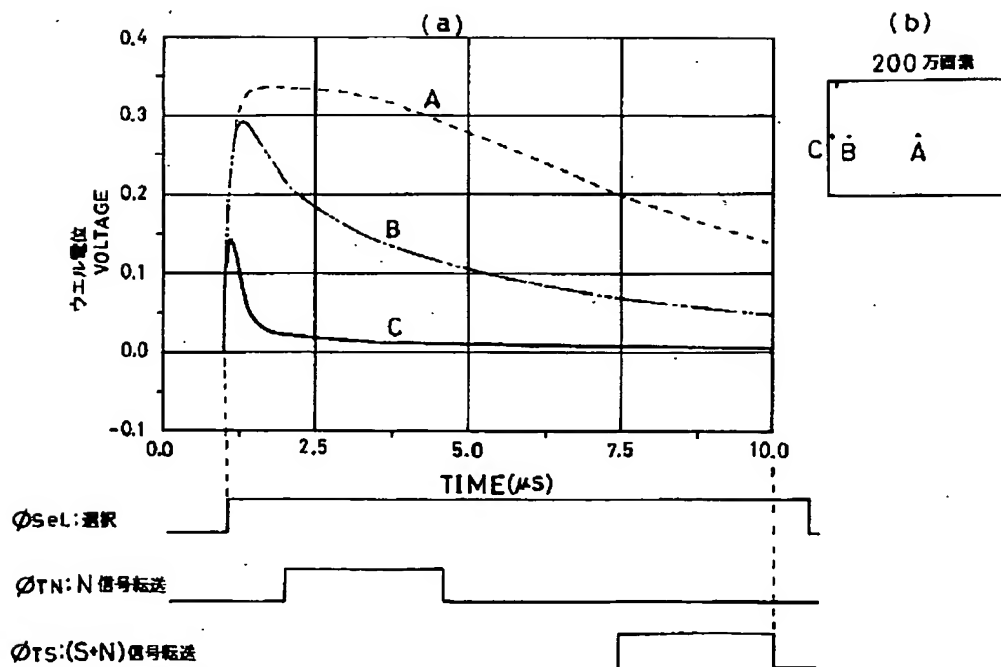
【図22】



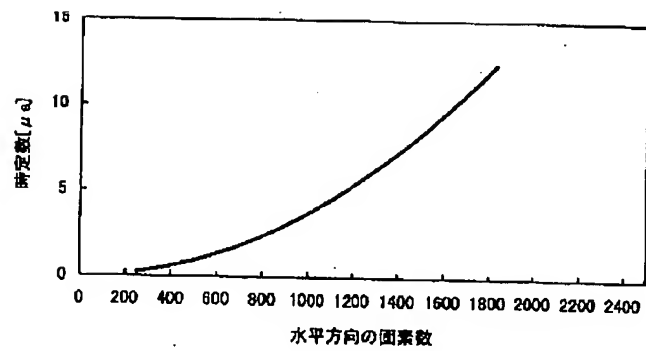
【図24】



【図25】



【図27】



フロントページの続き

(72)発明者 光地 哲伸
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72)発明者 須川 成利
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内